

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-84307
(P2003-84307A)

(43)公開日 平成15年3月19日(2003.3.19)

| (51)Int.Cl. ⁷ | 識別記号 | F I | 特許ト(参考) |
|--------------------------------------|-------|----------------|-------------------|
| G 0 2 F 1/1368 | | G 0 2 F 1/1368 | 2 H 0 9 2 |
| G 0 3 B 21/00 | | G 0 3 B 21/00 | E 5 F 0 4 8 |
| H 0 1 L 27/08 | 3 3 1 | H 0 1 L 27/08 | 3 3 1 E 5 F 1 1 0 |
| 27/12 | | 27/12 | B |
| 29/786 | | 29/78 | 6 1 8 D |
| 審査請求 未請求 請求項の数17 O L (全 20 頁) 最終頁に続く | | | |

(21)出願番号 特願2001-272345(P2001-272345)

(22) 出願日 平成13年 9 月 7 日 (2001. 9. 7)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 川田 浩孝

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100095728

井理士 上柳 雅誉 (外2名)

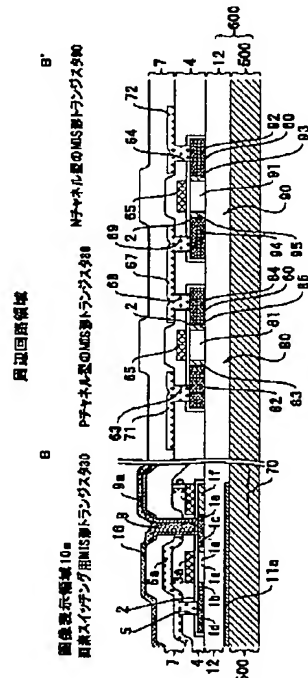
最終頁に続く

(54)【発明の名称】 電気光学装置、その製造方法、および投射型表示装置

(57) 【要約】

【課題】 同一導電型の画素スイッチング用のTFTと周辺回路用のTFTとにおいて単結晶半導体層の膜厚を変えた場合でも、チャネルドープを1回で済ませることにより、製造工程を短縮し、低コスト化を図ることのできる電気光学装置、その製造方法、および投射型表示装置を提供すること。

【解決手段】 液晶装置100において、画素スイッチング用のTFT30と駆動回路用のTFT80とは、同じPチャネル型であるが、チャネル領域1a'、81の膜厚が異なる。それでも、チャネル領域1a'、81へのチャネルドーパ条件については同一条件で同時に行う。このときの条件は、画素スイッチング用のトランジスタ30の閾値電圧を最適化する条件にしてある。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 支持基板上に絶縁膜を介して形成された半導体層のうち、画像表示領域内に形成された第1の半導体層を用いて第1導電型の画素スイッチング用の薄膜トランジスタがマトリクス状に形成されているとともに、前記画像表示領域の周辺領域に形成された第2の半導体層を用いて周辺回路用の薄膜トランジスタが形成されたトランジスタアレイ基板と、該トランジスタアレイ基板に保持された電気光学物質とを有する電気光学装置において、

前記第1の半導体層および前記第2の半導体層は、単結晶半導体層であり、

前記周辺回路用の薄膜トランジスタには、前記画素スイッチング用の薄膜トランジスタと導電型が同一の第1の周辺回路用の薄膜トランジスタと、導電型が異なる第2の周辺回路用の薄膜トランジスタとが含まれ、

前記第1の周辺回路用の薄膜トランジスタは、前記画素スイッチング用の薄膜トランジスタと比較してチャネル領域が厚く、かつ、前記画素スイッチング用の薄膜トランジスタと閾値電圧が異なることを特徴とする電気光学装置。

【請求項2】 請求項1において、前記第1導電型はP型であり、前記第2導電型はN型であることを特徴とする電気光学装置。

【請求項3】 支持基板上に絶縁膜を介して形成された半導体層のうち、画像表示領域内に形成された第1の半導体層を用いて第1導電型の画素スイッチング用の薄膜トランジスタがマトリクス状に形成されているとともに、前記画像表示領域の周辺領域に形成された第2の半導体層を用いて周辺回路用の薄膜トランジスタが形成されたトランジスタアレイ基板と、該トランジスタアレイ基板に保持された電気光学物質とを有する電気光学装置において、

前記第1の半導体層および前記第2の半導体層は、単結晶半導体層であり、

前記周辺回路用の薄膜トランジスタには、前記画素スイッチング用の薄膜トランジスタと導電型が同一の周辺回路用の薄膜トランジスタにより構成され、

前記周辺回路用の薄膜トランジスタは、前記画素スイッチング用の薄膜トランジスタと比較してチャネル領域が厚く、かつ、前記画素スイッチング用の薄膜トランジスタと閾値電圧が異なることを特徴とする電気光学装置。

【請求項4】 請求項3において、前記第1導電型はP型であることを特徴とする電気光学装置。

【請求項5】 請求項1ないし4のいずれかにおいて、前記第1の半導体領域の厚さは30nmから80nmまでの範囲であることを特徴とする電気光学装置。

【請求項6】 請求項1ないし5のいずれかにおいて、前記第2の半導体領域の厚さは150nmから500nmまでの範囲であることを特徴とする電気光学装置。

【請求項7】 請求項1ないし請求項6のいずれかにおいて、前記周辺回路用の薄膜トランジスタは、部分空乏型のチャネル領域を備え、前記画素スイッチング用の薄膜トランジスタは、完全空乏型のチャネル領域を備えていることを特徴とする電気光学装置。

【請求項8】 請求項1ないし7のいずれかにおいて、前記画素スイッチング用の薄膜トランジスタ、および該画素スイッチング用の薄膜トランジスタと導電型が同一の前記周辺回路用の薄膜トランジスタは、チャネルドープされた不純物イオンのドーザ量が等しいことを特徴とする電気光学装置。

【請求項9】 請求項8において、前記不純物イオンのドーザ量は、前記画素スイッチング用のトランジスタの閾値電圧を最適化する条件に設定されていることを特徴とする電気光学装置。

【請求項10】 請求項1ないし9のいずれかにおいて、前記半導体層は、単結晶シリコン層から構成されていることを特徴とする電気光学装置。

【請求項11】 請求項1ないし10のいずれかにおいて、前記支持基板は、石英基板であることを特徴とする電気光学装置。

【請求項12】 請求項1ないし10のいずれかにおいて、前記支持基板は、ガラス基板であることを特徴とする電気光学装置。

【請求項13】 請求項1ないし12のいずれかにおいて、前記電気光学物質は、前記トランジスタアレイ基板と、該トランジスタアレイ基板に対して対向配置された対向基板との間に保持された液晶であることを特徴とする電気光学装置。

【請求項14】 支持基板上に絶縁膜を介して形成された半導体層のうち、画像表示領域内に形成された第1の半導体層を用いて第1導電型の画素スイッチング用の薄膜トランジスタがマトリクス状に形成されているとともに、前記画像表示領域の周辺領域に形成された第2の半導体層を用いて周辺回路用の薄膜トランジスタが形成されたトランジスタアレイ基板と、該トランジスタアレイ基板に保持された電気光学物質とを有し、前記周辺回路用の薄膜トランジスタには、前記画素スイッチング用の薄膜トランジスタと導電型が同一の第1の周辺回路用の薄膜トランジスタと、導電型が異なる第2の周辺回路用の薄膜トランジスタとが含まれた電気光学装置の製造方法において、

前記第1の半導体層および前記第2の半導体層を単結晶半導体層から形成するとともに、前記第1の周辺回路用の薄膜トランジスタのチャネル領域については、前記画素スイッチング用の薄膜トランジスタのチャネル領域よりも厚くし、

前記第1の周辺回路用の薄膜トランジスタのチャネル領域、および前記画素スイッチング用の薄膜トランジスタのチャネル領域に対するチャネルドープは、同一の不純

物イオン、および同一のドーズ量で同時に行うことを特徴とする電気光学装置の製造方法。

【請求項15】 支持基板上に絶縁膜を介して形成された半導体層のうち、画像表示領域内に形成された第1の半導体層を用いて第1導電型の画素スイッチング用の薄膜トランジスタがマトリクス状に形成されているとともに、前記画像表示領域の周辺領域に形成された第2の半導体層を用いて周辺回路用の薄膜トランジスタが形成されたトランジスタアレイ基板と、該トランジスタアレイ

10 基板に保持された電気光学物質とを有し、前記周辺回路用の薄膜トランジスタには、前記画素スイッチング用の薄膜トランジスタと導電型が同一の周辺回路用の薄膜トランジスタによって構成された電気光学装置の製造方法において、

前記第1の半導体層および前記第2の半導体層を単結晶半導体層から形成するとともに、前記周辺回路用の薄膜トランジスタのチャネル領域については、前記画素スイッチング用の薄膜トランジスタのチャネル領域よりも厚くし、

前記周辺回路用の薄膜トランジスタのチャネル領域、および前記画素スイッチング用の薄膜トランジスタのチャネル領域に対するチャネルドーパは、同一の不純物イオン、および同一のドーズ量で同時に行うことを特徴とする電気光学装置の製造方法。

【請求項16】 請求項14または請求項15において、前記チャネルドーパを行う際の不純物イオンのドーズ量を、前記画素スイッチング用の薄膜トランジスタの閾値電圧を最適化する条件に設定することを特徴とする電気光学装置の製造方法。

【請求項17】 請求項1ないし13のいずれかに規定する電気光学装置をライトバルブとして用いたことを特徴とする投射型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、SOI構造を備えたトランジスタアレイ基板を用いた電気光学装置、この電気光学装置の製造方法、および投射型表示装置に関するものである。さらに詳しくは、トランジスタアレイ基板に形成する薄膜トランジスタ（以下、薄膜トランジスタ（Thin Film Transistor）とい

40 う）の構成に関するものである。

【0002】

【従来の技術】絶縁体層上に設けられた単結晶シリコン層を半導体装置の形成に利用するSOI（Silicon On Insulator）技術は、 α 線耐性、ラッチアップ特性、あるいはショートチャネルの抑制効果など、通常の単結晶シリコン基板では達成し得ない優れた特性を示すため、各種の電気光学装置にも用いられている。

【0003】例えば、各種の電気光学装置のうち、投射

型表示装置のライトバルブとして用いられているアクティブマトリクス型の液晶装置のTFTアレイ基板では、支持基板上に絶縁膜を介して形成された単結晶半導体層のうち、画像表示領域内に形成された第1の単結晶半導体層を用いて画素スイッチング用のTFTがマトリクス状に形成されるとともに、画像表示領域の周辺領域に形成された第2の単結晶半導体層を用いて周辺回路用のTFTが形成される。

【0004】ここで、画像表示領域で画素スイッチング用のTFTを構成する単結晶シリコン層は、光リーク電流を抑制するために極めて薄くすることが好ましい。光リーク電流を抑制するという観点では、従来も、TFTアレイ基板を裏面側（光入射側）からみたときに、画素スイッチング用のTFTに重なる領域に遮光層を形成する対策が採られているが、単結晶シリコン層を用いて高性能のTFTを形成すると、単結晶シリコンの高い光起電能力に起因して、通常の遮光層だけでは防ぐことの出来ない層間などからの迷光によりTFTに光リーク電流が流れる。その結果、光リーク電流により、画素部の液晶に印加される電圧が変動し、フリッカなどで表示品位が著しく低下するという問題がある。このような光リーク電流の問題は、直視型に比較して強い光が入射する液晶装置、具体的には、投射型表示装置のライトバルブとして用いられた場合、特に顕著である。

【0005】一方、周辺回路用のTFTでは、耐電圧が高く、かつ、大電流を流せることが求められるが、上記の光リーク電流対策として、単結晶シリコン層を薄くした場合には、このような要求に対応することができない。

【0006】そこで、従来は、画像表示領域で画素スイッチング用のTFTについては薄い単結晶シリコン層から形成し、周辺回路用のTFTについては厚い単結晶シリコン膜から形成することが検討されている。但し、このように単結晶シリコン層の膜厚を変えた場合、画素スイッチング用のTFTと周辺回路用のTFTの閾値電圧を最適化するには、それぞれにチャネルドーパを一度ずつ行い、不純物イオンのドーズ量を各々に最適な条件に設定している。

【0007】

【発明が解決しようとする課題】このように、従来は、同一導電型のTFTであっても、チャネルドーパを2回行い、同一導電型の画素スイッチング用のTFTと周辺回路用のTFTにおいて、チャネルドーパを行う際の不純物イオンのドーズ量を異なる条件に設定しているため、製造工程数が増えるという問題点がある。

【0008】また、トランジスタが絶縁膜によって分離されたSOI構造の場合、トランジスタにおけるチャネル領域を所定の電位に固定させることができず、チャネル領域が電氣的に浮いた状態となる。特に、電子がキャリアであるN型トランジスタでは、チャネル内を移動す

るキャリアの移動度が高いためにドレイン領域近傍の電界で加速されたキャリアと結晶格子との衝突によってインパクトイオン化と呼ばれる現象が起こり、電子正孔対が生成する。その際、N型TFTのチャネル下部に正孔が蓄積する。このようにチャネルに正孔の電荷が蓄積すると、TFTのNPN（Nチャネル型の場合）構造が見掛け上のバイポーラトランジスタとして動作するため、異常電流により素子のソース・ドレイン耐圧が劣化するなど電気的な特性が悪化する。従って、画素スイッチング用のTFTをNチャネル型とした場合、画素領域の開

10 口率を犠牲にしても、チャネルの電位を固定するボディコンタクトを設置する必要があるという問題点もある。

【0009】以上の問題点に鑑みて、本発明の課題は、同一導電型の画素スイッチング用のTFTと周辺回路用のTFTとにおいて単結晶半導体層の膜厚を変えた場合でも、チャネルドープを1回で済ませることにより、製造工程を短縮し、低コスト化を図ることのできる電気光学装置、その製造方法、および投射型表示装置を提供することにある。

20 【0010】また、本発明の課題は、画素スイッチング用のTFTにおいて、画素領域の開口率が犠牲になるボディコンタクトを行わなくても電子正孔対の生成に起因する不具合の発生を解消することのできる電気光学装置、その製造方法、および投射型表示装置を提供することにある。

【0011】

【課題を解決するための手段】上記課題を解決するため、本発明では、支持基板上に絶縁膜を介して形成された半導体層のうち、画像表示領域内に形成された第1の半導体層を用いて第1導電型の画素スイッチング用のTFTがマトリクス状に形成されているとともに、前記画像表示領域の周辺領域に形成された第2の半導体層を用いて周辺回路用のTFTが形成されたトランジスタアレイ基板と、該トランジスタアレイ基板に保持された電気光学物質とを有する電気光学装置において、前記第1の半導体層および前記第2の半導体層は、単結晶半導体層であり、前記周辺回路用のTFTには、前記画素スイッチング用のTFTと導電型が同一の第1の周辺回路用のTFTと、導電型が異なる第2の周辺回路用のTFTとが

30 含まれ、前記第1の周辺回路用のTFTは、前記画素スイッチング用のTFTと比較してチャネル領域が厚く、かつ、閾値電圧が異なることを特徴とする。

【0012】本発明では、画像表示領域で画素スイッチング用のTFTを構成する第1の半導体層を薄くして完全空乏型のTFTとすることにより、光リーク電流を抑制している。一方、周辺回路用のTFTを構成する第2の半導体層を厚くして部分空乏型のTFTとすることにより、耐電圧を高め、かつ、大電流を流せるようにしてある。このようにTFTの用途によって半導体層の厚さ

を変えてあるが、画素スイッチング用のTFTと、第1の周辺回路用のTFTとは、チャネルドープされた不純物イオンのドーザ量が等しく、閾値電圧が異なる。すなわち、不純物イオンのドーザ量を前記画素スイッチング用のトランジスタの閾値電圧を最適化する条件に設定すると、周辺回路用のTFTでは最適な閾値電圧がずれるが、それでも、本発明では、TFTを構成する半導体層として単結晶半導体層を用いたため、トランジスタ特性が高いので、周辺回路用のTFTの閾値電圧が最適値からずれていても、周辺回路を十分、駆動することができる。それ故、本発明によれば、同一導電型の画素スイッチング用のTFTと周辺回路用のTFTとにおいて単結晶半導体層の膜厚を変えた場合でも、チャネルドープを1回で済ませることができ、製造工程を短縮できるので、低コスト化を図ることができる。

【0013】本発明において、前記第1導電型はP型であり、前記第2導電型はN型であることが好ましい。このように構成すると、半導体層がキャリアの移動度の高い単結晶シリコン層などからなる場合であっても、P型のトランジスタではキャリアが正孔であり、電子と比較して1/3程度の移動度になる。従って、キャリアによる電子正孔対の生成を抑制することができるため、チャネルの電位を固定するボディコンタクトを設置する必要がないので、画素領域の開口率を大きく取ることができる。

【0014】また、本発明の別の形態では、支持基板上に絶縁膜を介して形成された半導体層のうち、画像表示領域内に形成された第1の半導体層を用いて第1導電型の画素スイッチング用のTFTがマトリクス状に形成されているとともに、前記画像表示領域の周辺領域に形成された第2の半導体層を用いて周辺回路用のTFTが形成されたトランジスタアレイ基板と、該トランジスタアレイ基板に保持された電気光学物質とを有する電気光学装置において、前記第1の半導体層および前記第2の半導体層は、単結晶半導体層であり、前記周辺回路用のTFTは、前記画素スイッチング用のTFTと導電型が同一の周辺回路用のTFTにより構成され、前記第1の周辺回路用のTFTは、前記画素スイッチング用のTFTと比較してチャネル領域が厚く、かつ、閾値電圧が異なることを特徴とする。

40 【0015】本発明では、画像表示領域で画素スイッチング用のTFTを構成する第1の半導体層を薄くして完全空乏型のTFTとすることにより、光リーク電流を抑制している。一方、周辺回路用のTFTを構成する第2の半導体層を厚くして部分空乏型のTFTとすることにより、耐電圧を高め、かつ、大電流を流せるようにしてある。このようにTFTの用途によって半導体層の厚さを変えてあるが、画素スイッチング用のTFTと、周辺回路用のTFTとは、チャネルドープされた不純物イオンのドーザ量が等しく、閾値電圧が異なる。すなわち、

不純物イオンのドーズ量を前記画素スイッチング用のトランジスタの閾値電圧を最適化する条件に設定すると、周辺回路用のTFTでは最適な閾値電圧がずれるが、それでも、本発明では、TFTを構成する半導体層として単結晶半導体層を用いたため、トランジスタ特性が高いので、周辺回路用のTFTの閾値電圧が最適値からずれていても、周辺回路を十分、駆動することができる。それ故、本発明によれば、同一導電型の画素スイッチング用のTFTと周辺回路用のTFTとにおいて単結晶半導体層の膜厚を変えた場合でも、チャネルドープを1回で済ませることができ、製造工程を短縮できるので、低コスト化を図ることができる。さらに、周辺回路を画素スイッチング用のTFTと同一導電型のTFTのみで構成することにより、製造工程を大きく短縮でき、さらなる低コスト化を図ることができる。

【0016】本発明において、前記第1導電型はP型であることが好ましい。すなわち、画素スイッチング用のTFT、および周辺回路用のTFTのいずれもが、P型であることが好ましい。このように構成すると、半導体層がキャリアの移動度の高い単結晶シリコン層などからなる場合であっても、P型のトランジスタではキャリアが正孔であり、電子と比較して1/3程度の移動度になる。従って、キャリアによる電子正孔対の生成を抑制することができるため、チャネルの電位を固定するボディコンタクトを設置する必要がないので、画素領域の開口率を大きく取ることができる。

【0017】本発明において、前記第1の半導体層の厚さは30nmから80nmまでの範囲内であることが好ましく、前記第2の半導体層の厚さは150nmから500nmまでの範囲内であることが好ましい。チャネル領域の厚さが80nm以下であれば、チャネル領域の不純物濃度が高くても、空乏層の拡がりよりもチャネル層の膜厚が薄くなる結果、完全空乏型のトランジスタを得ることが可能となる。一方、チャネル領域の厚さが30nm以上であれば、トランジスタの閾値電圧などのばらつきを小さくすることも可能となる。さらに、このような膜厚に設定されたチャネル領域では、光励起によって生じた電子正孔対による光リーク電流が小さいので、高い表示品位の電気光学装置を得ることが可能となる。

【0018】本発明において、前記第1の周辺回路用のTFTは、部分空乏型のチャネル領域を備え、前記画素スイッチング用のTFTは、完全空乏型のチャネル領域を備えていることが好ましい。

【0019】本発明において、前記画素スイッチング用のTFTと、該画素スイッチング用のTFTと導電型が同一の前記周辺回路用のTFTとは、チャネルドープされた不純物イオンのドーズ量が等しい。

【0020】ここで、前記不純物イオンのドーズ量は、前記画素スイッチング用のトランジスタの閾値電圧を最適化する条件に設定されている。

【0021】本発明において、前記単結晶半導体層は、例えば、単結晶シリコン層である。

【0022】本発明において、前記支持基板は、石英基板であることが好ましい。支持基板として、石英基板を用いれば、TFTの製造工程に対して、1150℃程度までの高温プロセスを適用できる。このため、高性能なTFTを得ることが可能となる。

【0023】本発明において、前記支持基板としてガラス基板を用いてもよい。このようにガラス基板を用いれば、液晶装置の低コスト化を図ることができる。

【0024】本発明に係る電気光学装置は、例えば、液晶装置である。このような液晶装置では、前記電気光学物質として、前記トランジスタアレイ基板と、該トランジスタアレイ基板に対して対向配置された対向基板との間に保持された液晶が用いられる。

【0025】本発明では、支持基板上に絶縁膜を介して形成された半導体層のうち、画像表示領域内に形成された第1の半導体層を用いて第1導電型の画素スイッチング用のTFTがマトリクス状に形成されているとともに、前記画像表示領域の周辺領域に形成された第2の半導体層を用いて周辺回路用のTFTが形成されたトランジスタアレイ基板と、該トランジスタアレイ基板に保持された電気光学物質とを有し、前記周辺回路用のTFTには、前記画素スイッチング用のTFTと導電型が同一の第1の周辺回路用のTFTと、導電型が異なる第2の周辺回路用のTFTとが含まれた電気光学装置の製造方法において、前記第1の半導体層および前記第2の半導体層を単結晶半導体層から形成するとともに、前記第1の周辺回路用のTFTのチャネル領域については、前記画素スイッチング用のTFTのチャネル領域よりも厚くし、前記第1の周辺回路用のTFTのチャネル領域、および前記画素スイッチング用のTFTのチャネル領域に対するチャネルドープは、同一の不純物イオン、および同一のドーズ量で同時に行うことを特徴とする。

【0026】本発明では、支持基板上に絶縁膜を介して形成された半導体層のうち、画像表示領域内に形成された第1の半導体層を用いて第1導電型の画素スイッチング用のTFTがマトリクス状に形成されているとともに、前記画像表示領域の周辺領域に形成された第2の半導体層を用いて周辺回路用のTFTが形成されたトランジスタアレイ基板と、該トランジスタアレイ基板に保持された電気光学物質とを有し、前記周辺回路用のTFTには、前記画素スイッチング用のTFTと導電型が同一の周辺回路用のTFTにより構成された電気光学装置の製造方法において、前記第1の半導体層および前記第2の半導体層を単結晶半導体層から形成するとともに、前記周辺回路用のTFTのチャネル領域については、前記画素スイッチング用のTFTのチャネル領域よりも厚くし、前記周辺回路用のTFTのチャネル領域、および前記画素スイッチング用のTFTのチャネル領域に対する

チャネルドープは、同一の不純物イオン、および同一のドーズ量で同時に行うことを特徴とする。

【0027】この場合、前記チャネルドープを行う際の不純物イオンのドーズ量を、前記画素スイッチング用のTFTの閾値電圧を最適化する条件に設定することが好ましい。

【0028】本発明に係る電気光学装置は、投射型表示装置のライトバルブなどとして用いられる。

【0029】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。

【0030】（液晶装置の全体構成）図1は、本発明が適用される液晶装置（電気光学装置）をその上に形成された各構成要素と共に対向基板の側から見た平面図であり、図2は、対向基板を含めて示す図1のH-H'断面図である。

【0031】図1において、液晶装置100のTFTアレイベース10の上には、シール材52がその縁に沿って設けられており、その内側領域では、遮光性材料からなる見切り用の額縁53によって画像表示領域10aが規定されている。画像表示領域10aの外側領域（周辺領域）には、データ線駆動回路101および実装端子102がTFTアレイベース10の一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って形成されている。

【0032】走査線に供給される走査信号の遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域10aの辺に沿って両側に配列してもよい。例えば、奇数列のデータ線は画像表示領域10aの一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は画像表示領域10aの反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。このようにデータ線を櫛歯状に駆動するようにすれば、データ線駆動回路101の形成面積を拡張することが出来るため、複雑な回路を構成することが可能となる。さらに、TFTアレイベース10の残る一辺には、画像表示領域10aの両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられており、さらにまた、額縁53の下などを利用して、プリチャージ回路や検査回路が設けられることもある。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレイベース10と対向基板20との間で電気的導通をとるための上下導通材106が形成されている。

【0033】そして、図2に示すように、図1に示したシール材52とほぼ同じ輪郭をもつ対向基板20がこのシール材52によりTFTアレイベース10に固着されている。なお、シール材52は、TFTアレイベース10と対向基板20とをそれらの周辺で貼り合わせるための光

硬化樹脂や熱硬化性樹脂などからなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー、あるいはガラスビーズ等のギャップ材が配合されている。

【0034】詳しくは後述するが、TFTアレイベース10には、画素電極9aがマトリクス状に形成されている。これに対して、対向基板20には、TFTアレイベース10に形成されている画素電極9aの縦横の境界領域と対向する領域にブラックマトリクス、あるいはブラックストライプなどと称せられる遮光膜23が形成され、その上層側にはITO膜からなる対向電極21が形成されている。

【0035】このように形成した液晶装置100は、たとえば、後述する投射型液晶表示装置（液晶プロジェクタ）において使用される。この場合、3枚の液晶装置100がRGB用のライトバルブとして各々使用され、各液晶装置100の各々には、RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、前記した各形態の液晶装置100にはカラーフィルタが形成されていない。

【0036】但し、対向基板20において各画素電極9aに対向する領域にRGBのカラーフィルタをその保護膜とともに形成することにより、投射型液晶表示装置以外にも、後述するモバイルコンピュータ、携帯電話機、液晶テレビなどといった電子機器において直視型のカラー液晶表示装置として用いることができる。

【0037】さらに、対向基板20に対して、各画素に対応するようにマイクロレンズを形成することにより、入射光の画素電極9aに対する集光効率を高めることができるので、明るい表示を行うことができる。さらにまた、対向基板20に何層もの屈折率の異なる干渉層を積層することにより、光の干渉作用を利用して、RGB色をつくり出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付きの対向基板によれば、より明るいカラー表示を行うことができる。

【0038】次に、アクティブマトリクス型の液晶装置の電気的構成および動作について、図3ないし図8を参照して説明する。

【0039】図3は、液晶装置100の画像表示領域10aを構成するためにマトリクス状に形成された複数の画素における各種素子、および配線などの等価回路図である。図4は、データ線、走査線、画素電極などが形成されたTFTアレイベースにおいて相隣接する画素の平面図である。図5は、図4のA-A'線に相当する位置での断面、およびTFTアレイベースと対向基板との間に電気光学物質としての液晶を封入した状態の断面を示す説明図である。なお、これらの図においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0040】図3において、液晶装置100の画像表示領域10aにおいて、マトリクス状に形成された複数の画素の各々には、画素電極9a、および画素電極9aを制御するための画素スイッチング用のTFT30が形成されており、画素信号を供給するデータ線6aが当該TFT30のソースに電氣的に接続されている。データ線6aに書き込む画素信号S1、S2・・・Snは、この順に線順次に供給する。また、TFT30のゲートには走査線3aが電氣的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2・・・Gmを、この順に線順次で印加するように構成されている。

【0041】画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのオン状態とすることにより、データ線6aから供給される画素信号S1、S2・・・Snを各画素に所定のタイミングで書き込む。このようにして画素電極9aを介して液晶に書き込まれた所定レベルの画素信号S1、S2、・・・Snは、後述する対向基板に形成された対向電極との間で一定期間保持される。

【0042】液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過する際に変調され、液晶パネルの外部にある偏光フィルムにより遮られ、階調表示を行う。ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過する際に変調とされ、液晶パネルの外部にある偏光フィルムにより通過する光量により、全体として液晶装置100からは画像信号に応じたコントラストを持つ光が出射する。

【0043】ここで、保持された画素信号がリークするのを防ぐことを目的に、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70（キャパシタ）を付加することがある。この蓄積容量70によって、画素電極9aの電圧は、例えば、ソース電圧が印加された時間よりも3桁も長い時間だけ保持される。これにより、電荷の保持特性は改善され、コントラスト比の高い表示を行うことのできる液晶装置が実現できる。なお、蓄積容量70を形成する方法としては、容量を形成するための配線である容量線3bとの間に形成する場合、あるいは前段の走査線3aとの間に形成する場合もいずれであってもよい。

【0044】（画素の構成）図4において、液晶装置100のTFTアレイ基板10上には、マトリクス状に複数の透明な画素電極9a（点線で囲まれた領域）が各画素毎に形成され、画素電極9aの縦横の境界領域に沿ってデータ線6a（一点鎖線で示す）、走査線3a（実線で示す）、および容量線3b（実線で示す）が形成され

ている。

【0045】これらの配線のうち、データ線6aは、コンタクトホール5を介して単結晶シリコン層からなる半導体層1aのうち、後述するソース領域に電氣的接続されており、また、画素電極9aは、コンタクトホール8を介して半導体層1aのドレイン領域に電氣的接続されている。さらに、半導体層1aのうち、チャネル領域に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する。容量線3bは、走査線3aに沿ってほぼ直線状に伸びる本線部（即ち、平面的に見て、走査線3aに沿って形成された第1領域）と、データ線6aと交差する箇所からデータ線6aに沿って前段側（図中、上向き）に突出した突出部（平面的に見て、データ線6aに沿って延設された第2領域）とを有する。

【0046】また、TFTアレイ基板10には、図4に右上がりの斜線を付して示すように、遮光膜11aが形成されている。この遮光膜11aは、各画素において、半導体層1aのチャネル領域を含むTFT30を、TFTアレイ基板10の側から見て覆うように形成され、容量線3bの本線部に対向して走査線3aに沿って直線状に伸びる本線部と、データ線6aと交差する箇所からデータ線6aに沿って隣接する段側（即ち、図中下向き）に突出した突出部とを有する。この遮光膜11aの各段（画素行）における下向きの突出部の先端は、データ線6a下において次段における容量線3bの上向きの突出部の先端と重ねられている。

【0047】図5において、TFTアレイ基板10の基体は、後述する貼り合せ基板600からなり、対向基板20の基体は、石英基板や耐熱性ガラス板などの透明基板20bからなる。

【0048】TFTアレイ基板10には画素電極9aが形成されており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が形成されている。画素電極9aは、たとえばITO（Indium Tin Oxide）膜等の透明な導電性薄膜からなる。配向膜16は、たとえばポリイミド薄膜などの有機薄膜に対してラビング処理を行うことや、SiO等の無機物を斜方蒸着により成膜することにより形成される。

【0049】TFTアレイ基板10の画像表示領域10aにおいて、各画素電極9aに隣接する位置には、各画素電極9aをスイッチング制御する画素スイッチング用のTFT30が形成されている。

【0050】本形態において、画素スイッチング用のTFT30は、Pチャネル型として構成されている。

【0051】また、貼り合せ基板600の内部には、TFT30と平面的に重なる領域に遮光膜11aが形成されている。従って、TFTアレイ基板10の側からの戻り光などが画素スイッチング用TFT30のチャネル領域1a'、低濃度ソース領域1b、低濃度ドレイン領域

1cに入射することを防ぐことができる。なお、遮光膜11aは、不透明な高融点金属であるTi、Cr、W、Ta、Mo、Pbの単体膜や合金膜、あるいは金属シリサイドなどから構成される。このような材料から構成すれば、TFTアレイ基板10を製造する際、遮光膜11aの形成工程以降に行われる画素スイッチング用のTFT30の形成工程で行う高温処理に遮光膜11aが耐えることができる。

【0052】また、遮光膜11aの表面側には、NSG（ノンドープシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラスやシリコン酸化膜からなる層間絶縁膜12が形成され、この層間絶縁膜12の表面側にTFT30が形成されている。すなわち、層間絶縁膜12は、TFT30を構成する半導体層1aを遮光膜11aから電気的に絶縁するために設けられるものである。

【0053】画素スイッチング用のTFT30は、LDD（Lightly Doped Drain）構造を有しており、半導体層1aには、走査線3aからの電界によりチャネルが形成されるチャネル領域1a'、低濃度ソース領域1b、低濃度ドレイン領域1c、高濃度ソース領域1d、並びに高濃度ドレイン領域1eが形成されている。また、半導体層1aの上層側には、この半導体層1aと走査線3aとを絶縁するゲート絶縁膜2が形成されている。

【0054】ここで、TFT30を構成するのに用いた半導体層1a（第1の半導体層）は、単結晶シリコン層であり、チャネル領域1a'には、後述する条件で不純物イオンがドーパされている。

【0055】このように構成したTFT30の表面側には、シリコン酸化膜などからなる層間絶縁膜4、7が形成されている。層間絶縁膜4の表面には、データ線6aが形成され、このデータ線6aは、層間絶縁膜4に形成されたコンタクトホール5を介して高濃度ソース領域1dに電気的に接続している。層間絶縁膜7の表面にはITO膜からなる画素電極9aが形成されている。画素電極9aは、層間絶縁膜4、7およびゲート絶縁膜2に形成されたコンタクトホール8を介して高濃度ドレイン領域1eに電気的に接続している。この画素電極9aの表面側にはポリイミド膜からなる配向膜16が形成されている。

【0056】また、高濃度ドレイン領域1eからの延設部分1f（下電極）に対しては、ゲート絶縁膜2aと同時形成された絶縁膜（誘電体膜）を介して、走査線3aと同層の容量線3bが上電極として対向することにより、蓄積容量70が構成されている。また、遮光膜11aは、層間絶縁膜11aに形成されたコンタクトホール13を介して容量線3bに電気的に接続して、蓄積容量70の一部を担っている。

【0057】なお、TFT30は、好ましくは上述のようにLDD構造をもつが、低濃度ソース領域1b、および低濃度ドレイン領域1cに相当する領域に不純物イオンの打ち込みを行わないオフセット構造を有していてもよい。また、TFT30は、ゲート電極（走査線3aの一部）をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度のソースおよびドレイン領域を形成したセルフアライン型のTFTであってもよい。また、本形態では、TFT30のゲート電極（走査線3a）をソースドレイン領域の間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート（ダブルゲート）、あるいはトリプルゲート以上でTFT30を構成すれば、チャネルとソースドレイン領域の接合部でのリーク電流を防止でき、オフ時の電流を低減することが出来る。これらのゲート電極の少なくとも1個をLDD構造或いはオフセット構造にすれば、さらにオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【0058】これに対して、対向基板20には、その全面に渡って対向電極（共通電極）21が形成されており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は、例えば、ITO膜などの透明導電性薄膜からなる。配向膜22は、ポリイミド薄膜などの有機薄膜に対してラビング処理が施された膜や、SiO等の無機物を斜方蒸着により成膜した薄膜である。また、対向基板20には、各画素部の開口領域以外の領域に遮光膜23が形成されている。このため、対向基板20の側から入射光が、画素スイッチング用のTFT30の半導体層1aのチャネル領域1a'、低濃度ソース領域1b、および低濃度ドレイン領域1cに届くことはない。なお、遮光膜23は、コントラストの向上、色材の混色防止などの機能も有する。

【0059】このように構成したTFTアレイ基板10と対向基板20とは、画素電極9aと対向電極21とが対面するように配置され、かつ、これらの基板は、前記のシール材52（図1および図6を参照）により貼り合わされる。この状態で、シール材52より囲まれた空間内に電気光学物質としての液晶50が封入され、挟持される。液晶50は、画素電極9aからの電界が印加されていない状態で配向膜により所定の配向状態をとる。液晶50は、例えば一種または数種のネマティック液晶を混合したものなどからなる。

【0060】なお、対向基板20およびTFTアレイ基板10の光入射側の面あるいは光出射側には、使用する液晶50の種類、すなわち、TN（ツイステッドネマティック）モード、STN（スーパーTN）モード等々の動作モードや、ノーマリホワイトモード／ノーマリブラ

ックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の向きに配置される。

【0061】(周辺回路の構成) 再び図1において、本形態の液晶装置100では、TFTアレ基板10の表面側のうち、画像表示領域10aの周辺領域を利用してデータ線駆動回路101および走査線駆動回路104

(周辺回路) が形成されている。このようなデータ線駆動回路101および走査線駆動回路104は、基本的には、図6および図7に示すように構成される。

【0062】図6は、走査線駆動回路104およびデータ線駆動回路101等の周辺回路を構成するPチャネル型TFTおよびNチャネル型TFTの構成の一例としてインバーター回路を示す平面図である。図7は、この周辺回路を構成するTFTを図6のB-B'線で切断したときの断面図である。なお、図7にはTFTアレ基板10の画像表示領域10aに形成した画素スイッチング用TFT30も示してある。

【0063】図6および図7において、周辺回路を構成するTFTは、Pチャネル型のTFT80とNチャネル型のTFT90とからなる相補型TFTとして構成されている。これらの駆動回路用のTFT80、90を構成する半導体層60(輪郭を点線で示す)は、貼り合せ基板600上に形成された層間絶縁膜12を介して島状に形成されている。

【0064】TFT80、90には、高電位線71と低電位線72がコンタクトホール63、64を介して、半導体層60のソース領域に電氣的にそれぞれ接続されている。また、入力配線66は、共通のゲート電極65にそれぞれ接続されており、出力配線67は、コンタクトホール68、69を介して、半導体層60のドレイン領域に電氣的にそれぞれ接続されている。

【0065】このような周辺回路領域も、画像表示領域10aと同様なプロセスを経て形成されるため、周辺回路領域にも、層間絶縁膜4、7およびゲート絶縁膜2が形成されている。また、駆動回路用のTFT80、90も、画素スイッチング用のTFT30と同様、LDD構造を有しており、チャネル形成領域81、91の両側には、高濃度ソース領域82、92および低濃度ソース領域83、93からなるソース領域と、高濃度ドレイン領域84、94および低濃度ドレイン領域85、95からなるドレイン領域とを備えている。

【0066】ここでは、N型トランジスタとP型トランジスタによる相補型の回路の説明を行ったが、画素トランジスタと同一のP型のトランジスタのみで周辺回路を構成することも可能である。

【0067】また、半導体層60は、半導体層1aと同様、後述する方法で形成された単結晶シリコン層であり、かつ、チャネル領域81、91には、後述する条件で不純物イオンがドーパされている。

【0068】(画像表示領域と周辺回路領域との相違)

このように構成した画像表示領域10aおよび周辺回路領域においては、図7からわかるように、画素スイッチング用のTFT30を構成する半導体層1aは、駆動回路用のTFT80、90を構成する半導体層60と比較して薄く形成されている。例えば、画素スイッチング用のTFT30を構成する半導体層1aは、厚さが30nm~80nm程度、例えば、40nmの単結晶シリコン層であり、駆動回路用のTFT80、90を構成する半導体層60は、厚さが150~500nm程度、例えば、400nmの単結晶シリコン層である。

【0069】このように画素スイッチング用のTFT30では、半導体層1aの膜厚が薄いので、チャネル領域の不純物濃度によらずゲート電極が制御する空乏層が半導体層1aよりも大きく広がるため、画素スイッチング用TFT30は、完全空乏型のP型トランジスタとなる。従って、画素スイッチング用TFT30では、単結晶シリコンの光起電能力が高くても、半導体層1aが薄いので、遮光層11、23やデータ線6aの遮光機能では防ぐことのできない迷光が届いても、光励起の電子正孔対の生成量が小さく抑えることができるので、光リーク電流が流れない。従って、光リーク電流に起因するフリッカなどの発生を防止できるので、表示品位が高い。それ故、本形態の液晶装置100は、直視型に比較して強い光が入射する投射型表示装置のライトバルブに適している。

【0070】また、本形態において、画素スイッチング用TFT30は、P型トランジスタであるため、寄生バイポーラ効果が起こりにくい。従って、チャネル領域の電位を固定するためのボディコンタクトが必要がないので、画素領域の開口率を高くできる。

【0071】これに対して、駆動回路用のTFT80、90では、それを構成する半導体層60が厚いため、シート抵抗が低い分、大電流を流せるなど、高速度動作が可能である。

【0072】なお、周辺回路において、駆動周波数を高めたい場合、シフトレジスタは高速で駆動する必要がある。その際には、寄生容量を小さくすることの出来る完全空乏型のトランジスタが相応しい。バッファは走査線3aを駆動するために大きな電流駆動能力が必要になるので、部分空乏型のトランジスタが相応しい。従って、本発明では、周辺回路に部分空乏型のトランジスタが含まれておれば、周辺回路全体が部分空乏型のトランジスタであってもよいし、その一部が完全空乏型のトランジスタであってもよい。但し、周辺回路の一部に、画素スイッチング用のTFT30と同様な完全空乏型のトランジスタを構成する場合には、完全空乏型のトランジスタの全てにおいて半導体層の膜厚を一定にすることが好ましい。すなわち、周辺回路に含まれる完全空乏型のトランジスタを構成する半導体層を画素スイッチング用のTFT30を構成する半導体層と同一の膜厚にすれば、製

造工程を簡素化することができる。

【0073】(チャネルドープ条件)図8は、チャネル領域の膜厚が異なるTFTにおいて、チャネルドープを行った際の不純物イオンのドーズ量と閾値電圧との関係を示すグラフである。

【0074】TFTアレイ基板10を構成するにあたって、本形態では、画素スイッチング用のTFT30のチャネル領域1a'、および駆動回路用のTFT80、90のチャネル領域81、91の各々に、B⁺、BF²⁺、P⁺不純物イオンをドープして、その閾値電圧を調整してある。ここで、画素スイッチング用のTFT30と駆動回路用のTFT80とは、同じPチャネル型であるが、チャネル領域1a'、81の膜厚が異なるので、それぞれの閾値電圧を最適化するには、チャネルドープを行う際の不純物イオンのドーズ量が異なる。

【0075】しかるに本形態では、チャネル領域1a'、81へのチャネルドープ条件については同一条件とし、その条件は、画素スイッチング用のトランジスタ30の閾値電圧を最適化する条件にしてある。従って、画素スイッチング用のTFT30と駆動回路用のTFT80とでは、閾値電圧が異なり、かつ、駆動回路用のTFT80では、閾値電圧が最適条件からずれている。

【0076】すなわち、図8に、チャネル領域の膜厚が40nmの画素スイッチング用のTFT30においてチャネルドープを行った際の不純物イオンのドーズ量と閾値電圧との関係を実線L1で示し、チャネル領域の膜厚が400nmの駆動回路用のTFT80においてチャネルドープを行った際の不純物イオンのドーズ量と閾値電圧との関係を点線L2で示すように、同一のドーズ量でチャネルドープを行っても、チャネル領域の膜厚が40nmのTFT30と比較して、チャネル領域の膜厚が400nmのTFT80では閾値電圧の絶対値が高い。従って、これら双方のTFT30、80において、最適な閾値電圧が-1.2Vであるとする、チャネル領域の膜厚が40nmのTFT30ではドーズ量を $3.0 \times 10^{11} \text{ cm}^2$ とし、チャネル領域の膜厚が400nmのTFT80ではドーズ量を $1.8 \times 10^{11} \text{ cm}^2$ とすべきところ、本形態では、画素スイッチング用のトランジスタ30の閾値電圧を最適化することを優先してドーズ量を $3.0 \times 10^{11} \text{ cm}^2$ にしてある。このため、チャネル領域の膜厚が40nmのTFT30では、閾値電圧が-1.2Vであり、最適値になるのに対して、チャネル領域の膜厚が400nmのTFT80では、閾値電圧が-1.5Vであり、最適値からずれている。

【0077】それでも本形態では、TFT30、80を構成する半導体層1a、60として単結晶シリコン層を用いたため、トランジスタ特性が高い。従って、周辺回路用のTFT80では閾値電圧が最適値からずれていても、周辺回路を十分、駆動することができる。一方、画素スイッチング用のTFT30では、閾値電圧が最適値

であるため、品位の高い表示を行うことができる。また、本形態によれば、同一導電型(P型)の画素スイッチング用のTFT30と駆動回路用のTFT80とにおいて半導体層1a、80の膜厚を変えた場合でも、以下に説明するように、チャネルドープを1回で済ませることができるため、製造工程を短縮できるので、低コスト化を図ることができる。

【0078】(TFTアレイ基板の製造方法)図9は、本形態のTFTアレイ基板10の製造に用いたSOI構造の貼り合わせ基板を製造する方法の一例を示す工程断面図である。図10ないし図12はいずれも、図9に示す方法で製造したSOI構造の貼り合わせ基板からTFTアレイ基板10を製造する方法を示す工程断面図である。

【0079】まず、図9(A)に示すように、石英基板あるいは耐熱性ガラス基板などといった透光性を備えた支持基板500の表面全体に、タングステンシリサイド膜などといった遮光膜を形成した後、この遮光膜をフォトリソグラフィ技術を用いてパターンニングし、遮光膜11aを形成する。次に、支持基板500の表面全体に、スパッタリング法、CVD法などにより、シリコン酸化膜、NSG(ノンドープトシリケートガラス)、PSG(リンシリケートガラス)、BSG(ボロンシリケートガラス)、BPSG(ボロンリンシリケートガラス)などの酸化膜510を形成した後、この酸化膜510の表面をCMP法などの方法を用いて研磨して、表面を平坦化しておく。ここで、酸化膜510の膜厚は、例えば、約400~1000nm、より好ましくは800nm程度とする。支持基板500については、好ましくは窒素ガスなどの不活性ガス雰囲気下、約850~1300℃、より好ましくは1000℃の高温でアニール処理し、後に実施される高温プロセスにおいて歪みが発生しないように前処理しておくことが望ましい。すなわち、製造工程において処理される最高温度に合わせて、支持基板500を同じ温度かそれ以上の温度で熱処理しておくことが望ましい。

【0080】これに対して、単結晶シリコン基板200の第1の面201の側にも酸化膜240を形成した後、CMP法などの方法を用いて研磨して、表面を平坦化しておく。この絶縁膜240の形成方法には、特に限定されるものではないが、単結晶シリコン基板200の裏面にCVD法により酸化膜を形成する方法などがある。ここで、単結晶シリコン基板200が厚さ300μm~900μmであれば、絶縁膜240は、例えば、400nm~800nmの厚さとする。

【0081】このような酸化膜240、510は、単結晶シリコン基板200と支持基板500の密着性を確保するために設けられるものである。

【0082】次に、図9(B)に示すように、単結晶シリコン基板200の第1の面501と、支持基板500

の表面とを絶縁膜240、510が接合面となるように重ねた状態で、例えば、300℃で2時間熱処理することにより、単結晶シリコン基板200と支持基板500とを貼り合わせ、単結晶シリコン基板200と支持基板500とが層間絶縁膜12（酸化膜240、510）を介して貼り合わされた、貼り合わせ基板600を形成する（貼り合せ工程）。

【0083】次に、単結晶シリコン基板200の第2面202の側をCMP法などによって研磨し、単結晶シリコン基板200を所定の厚さ、例えば、400nmとする。

【0084】次に、単結晶シリコン基板200の第2の面202の全面にシリコン酸化膜、およびシリコン窒化膜をこの順に積層した後、シリコン酸化膜およびシリコン窒化膜をフォトリソグラフィ技術を用いてパターンニングし、図9（C）に示すように、単結晶シリコン基板200の第2の面202にシリコン窒化膜からなる耐酸化マスク層275を形成する。この耐酸化マスク層275と単結晶シリコン基板200との間には薄いシリコン酸化膜260が介在している。ここで、シリコン酸化膜260は、応力などを緩和する目的で形成されており、省略することも可能である。

【0085】次に、図9（D）に示すように、水蒸気を含む雰囲気での熱処理によって、結晶シリコン基板200の第2の面202で耐酸化マスク層275から露出している部分を酸化し、シリコン酸化膜からなる犠牲酸化膜210を形成する（犠牲酸化工程）。

【0086】次に、シリコン窒化膜からなる耐酸化マスク層275、および緩衝用のシリコン酸化膜260を除去する。ここで、犠牲酸化膜210は単結晶シリコン基板200を部分的に酸化してなるものであるため、それを除去した後、犠牲酸化膜210が形成されていた領域には、膜厚が30nmから80nm、例えば、40nmの薄い第1の単結晶半導体層220が残される。これに対して、単結晶シリコン基板200において犠牲酸化膜210が形成されなかった領域には、第2の単結晶シリコン基板200の厚さ相当（150nmから500nm、例えば、400nm）の厚い第2の単結晶半導体層230が形成され、その厚さは、第1の単結晶半導体層220と比較してかなり分厚い。また、第1の単結晶半導体層220および第2の単結晶半導体層230のいずれにおいても、その下層側には層間絶縁膜12が形成されている。

【0087】本形態では、このようにして製造した貼り合わせ基板600において、薄い第1の単結晶半導体層220が形成されている領域を画像表示領域10aとして利用し、厚い第2の単結晶半導体層230が形成されている領域を周辺領域として利用する。

【0088】すなわち、図10（A）に示すように、フォトリソグラフィ技術を用いて、第1の単結晶半導体層

220および第2の単結晶半導体層230をパターンニングし、画素スイッチング用のTFT30を構成する半導体層1aと、駆動回路用のTFT80、90を構成する半導体層60とを島状に形成する。ここで、画素スイッチング用のTFT30を構成する半導体層1aは、厚さが100nm以下の単結晶シリコン層であり、駆動回路用のTFT80、90を構成する半導体層60は、厚さが200～500nm程度の単結晶シリコン層である。

【0089】次に、図10（B）に示すように、熱酸化法などを用いて、半導体層1a、60の表面に、厚さが例えば60nmのシリコン酸化膜からなるゲート絶縁膜2を形成する。

【0090】次に、図10（C）に示すように、Nチャネル型の駆動回路用のTFT90を形成するための半導体層60をレジストマスク401で覆った状態で、画素スイッチング用のTFT30を構成する半導体層1aと、Pチャネル型の駆動回路用のTFT90を構成する半導体層60とに対して、P⁺イオンなどのN型の不純物イオンを導入してチャネルドーピングを行う。このときの条件は、加速電圧が100KeV、ドーズ量が $3.0 \times 10^{11} \text{ cm}^{-2}$ であり、画素スイッチング用のトランジスタ30の閾値電圧を最適化する条件に設定してある。この際、半導体層1aの延設部分1fにも不純物イオンを打ち込まれ、容量線3bとの間に蓄積容量70を構成するための下電極が形成される。

【0091】次に、図10（D）に示すように、画素スイッチング用のTFT30を形成するための半導体層1a、およびPチャネル型の駆動回路用のTFT80を形成するための半導体層60をレジストマスク402で覆った状態でNチャネル型の駆動回路用のTFT90を構成する半導体層60とに対して、B⁺イオンなどのP型の不純物イオンを導入してチャネルドーピングを行う。

【0092】次に、CVD法などにより、基板表面全体に、走査線3a、容量線3b、およびゲート電極65を形成するためのN型のポリシリコン単体、またはN型のポリシリコンとタングステン、モリブデン、チタンなどの金属とシリコンの合金膜の積層膜からなる導電膜を300nm～800nmの厚さに形成した後、図11

（A）に示すように、フォトリソグラフィ技術を用いてパターンニングし、走査線3a、容量線3b、およびゲート電極65を形成する。

【0093】次に、図11（B）に示すようにNチャネル型の駆動回路用のTFT90を形成するための半導体層60をレジストマスク301で覆った状態で、画素スイッチング用のTFT30を構成する半導体層1aと、Pチャネル型の駆動回路用のTFT80を構成する半導体層60とに対して、走査線3aやゲート電極65をマスクとして、約 $0.1 \times 10^{13} / \text{cm}^2$ ～約 $10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度P型の不純物イオンを打ち込んで、走査線3aおよびゲート電極65に対して自

已整合的に低濃度ソース領域1b、85、および低濃度ドレイン領域1c、83を形成する。ここで、走査線3aやゲート電極65の真下に位置しているため、不純物イオンが導入されなかった部分は半導体膜1a、60のままのチャネル領域1a'、81となる。

【0094】次に、図11(C)に示すように、走査線3aおよびゲート電極65より幅が広く、かつ、Nチャネル型の駆動回路用のTFT90を形成するための半導体層60を覆うレジストマスク302を形成し、この状態で、高濃度P型の不純物イオンを約 $0.1 \times 10^{15} / \text{cm}^2 \sim 10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込み、高濃度ソース領域1b、84、およびドレイン領域1d、82を形成する。

【0095】なお、図示を省略するが、Pチャネル型のTFT30、80の側を覆った状態でゲート電極65をマスクとして、Nチャネル型の駆動回路用のTFT90を形成するための半導体層60に対して、約 $0.1 \times 10^{15} / \text{cm}^2 \sim 10 \times 10^{15} / \text{cm}^2$ のドーズ量で低濃度N型の不純物イオンを打ち込んだ後、ゲート電極65より幅の広いマスクを形成した状態で、Nチャネル型の駆動回路用のTFT90を形成するための半導体層60に対して高濃度N型の不純物イオンを約 $0.1 \times 10^{15} / \text{cm}^2 \sim 10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込んで、図12(A)に示すように、低濃度ソース領域95、低濃度ドレイン領域93、およびチャネル領域81を形成するとともに、高濃度ソース領域94、および高濃度ドレイン領域92を形成する。

【0096】次に、走査線3aの表面側にCVD法などにより、シリコン酸化膜などからなる層間絶縁膜4を形成した後、フォトリソグラフィ技術を用いてコンタクトホール5、63、64、68、69をそれぞれ形成する。

【0097】次に、図12(B)に示すように、層間絶縁膜4の表面側に、データ線6a(ソース電極)などを構成するためのアルミニウム膜、チタン膜、タングステン膜、銅膜またはこれらの金属のいずれかを主成分とする合金膜からなる導電膜をスパッタ法などで300nm～800nmの厚さに形成した後、フォトリソグラフィ技術を用いてパターンニングし、データ線6a、高電位線71、低電位線72、入力配線66、出力配線67を形成する。その結果、周辺回路領域では、Pチャネル型およびNチャネル型のTFT80、90が完成する。

【0098】次に、図12(C)に示すように、データ線6aなどの表面側にCVD法などにより、シリコン窒化膜あるいはアクリル樹脂などからなる層間絶縁膜7を形成した後、フォトリソグラフィ技術を用いて、ゲート絶縁膜2および層間絶縁膜4、7にコンタクトホール8を形成する。

【0099】しかる後に、図7に示すように、画素電極9aを所定パターンに形成した後、配向膜16を形成す

る。その結果、TFTアレイ基板10が完成する。

【0100】ここでは周辺回路をN型トランジスタとP型トランジスタによる相補型の回路で構成する例を示したが、P型トランジスタのみで周辺回路を構成する場合には、上記製造方法のうちN型トランジスタを形成する工程を削減すること以外はすべて同じ工程である。

【0101】[電子機器への適用]次に、本発明を適用した液晶装置100を備えた電子機器の一例を、図13および図14を参照して説明する。

【0102】まず、図13には、上記形態に係る液晶装置100と同様に構成された液晶装置を備えた電子機器の構成をブロック図で示してある。

【0103】図13において、電子機器が、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、液晶装置100、クロック発生回路1008、および電源回路1010を含んで構成される。表示情報出力源1000は、ROM(Read Only Memory)、RAM(Random Access Memory)、光ディスクなどのメモリ、テレビ信号の画信号を同調して出力する同調回路などを含んで構成され、クロック発生回路1008からのクロックに基づいて、所定フォーマットの画像信号を処理して表示情報処理回路1002に出力する。この表示情報出力回路1002は、たとえば増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、あるいはクランプ回路等の周知の各種処理回路を含んで構成され、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKとともに駆動回路1004に出力する。駆動回路1004は、液晶装置100を駆動する。電源回路1010は、上述の各回路に所定の電源を供給する。なお、液晶装置100を構成するTFTアレイ基板の上に駆動回路1004を形成してもよく、それに加えて、表示情報処理回路1002もTFTアレイ基板の上に形成してもよい。

【0104】このような構成の電子機器としては、図14を参照して後述する投射型液晶表示装置(液晶プロジェクト)、マルチメディア対応のパーソナルコンピュータ(PC)、およびエンジニアリング・ワークステーション(EWS)、ページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型またはモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルなどを挙げることができる。

【0105】図14に示す投射型表示装置1100は、前記の駆動回路1004がTFTアレイ基板上に搭載された液晶装置100を含む液晶モジュールを3個準備し、各々RGB用の液晶モジュール962R、962G、962Bとして用いられている。この投射型表示装置1100の光学系には、光源装置920と、均一照明光学系923が採用されている。そして、投射型表示装

置1100は、この均一照明光学系923から出射される光束Wを赤(R)、緑(G)、青(B)に分離する色分離光学系924と、各色光束R、G、Bをそれぞれ変調するライトバルブ925R、925G、925Bと、変調された後の色光束を再合成する色合成プリズム910と、合成された光束を投射面100の表面に拡大投射する投射手段としての投射レンズユニット906を備えている。また、青色光束Bを対応するライトバルブ925Bに導く導光系927をも備えている。

【0106】均一照明光学系923は、2つのレンズ板921、922と反射ミラー931を備えており、反射ミラー931を挟んで2つのレンズ板921、922が直交する状態に配置されている。均一照明光学系923の2つのレンズ板921、922は、それぞれマトリクス状に配置された複数の矩形レンズを備えている。光源装置920から出射された光束は、第1のレンズ板921の矩形レンズによって複数の部分光束に分割される。そして、これらの部分光束は、第2のレンズ板922の矩形レンズによって3つのライトバルブ925R、925G、925B付近で重畳される。従って、均一照明光学系923を用いることにより、光源装置920が出射光束の断面内で不均一な照度分布を有している場合でも、3つのライトバルブ925R、925G、925Bを均一な照明光で照明することが可能となる。

【0107】各色分離光学系924は、青緑反射ダイクロイックミラー941と、緑反射ダイクロイックミラー942と、反射ミラー943とから構成される。まず、青緑反射ダイクロイックミラー941において、光束Wに含まれている青色光束Bおよび緑色光束Gが直角に反射され、緑反射ダイクロイックミラー942の側に向かう。一方、赤色光束Rは、青緑反射ダイクロイックミラー941を通過して、後方の反射ミラー943で直角に反射されて、赤色光束Rの出射部944から色合成光学系の側に出射される。

【0108】次に、青緑反射ダイクロイックミラー941により反射された青色光束B、緑色光束Gのうち、緑色光束Gのみが、緑反射ダイクロイックミラー942において直角に反射されて、緑色光束Gの出射部945から色合成光学系の側に出射される。また、緑反射ダイクロイックミラー942を通過した青色光束Bは、青色光束Bの出射部946から導光系927の側に出射される。本例では、均一照明光学素子の光束Wの出射部から、色分離光学系924における各色光束の出射部944、945、946までの距離が互いにほぼ等しくなるように設定されている。

【0109】色分離光学系924による赤色光束Rの出射部944の出射側、および、緑色光束Gの出射部945の出射側には、それぞれ集光レンズ951、952が配置されている。したがって、各出射部から出射した赤色光束R、緑色光束Gは、これらの集光レンズ951、

952にそれぞれ入射して平行化される。

【0110】このように平行化された赤色光束R、緑色光束Gは、ライトバルブ925R、925Gに入射して変調され、各色光に対応した画像情報が付加される。すなわち、これらの液晶装置は、図示しない駆動手段によって画像情報に応じてスイッチング制御されて、これにより、ここを通過する各色光の変調が行われる。

【0111】一方、青色光束Bは、導光系927を介して対応するライトバルブ925Bに導かれ、ここにおいて、同様に画像情報に応じて変調が施される。尚、本例のライトバルブ925R、925G、925Bは、それぞれさらに入射側偏光手段960R、960G、960Bと、出射側偏光手段961R、961G、961Bと、これらの間に配置された液晶モジュール962R、962G、962Bとからなるものである。

【0112】ところで、導光系927は、青色光束Bの出射部946の出射側に配置された集光レンズ954と、入射側反射ミラー971と、出射側反射ミラー972と、これらの反射ミラーの間に配置した中間レンズ973と、ライトバルブ925Bの手前側に配置した集光レンズ953とから構成されている。出射部946から出射された青色光束Bは、導光系927を介して液晶モジュール962Bに導かれて変調される。各色光束の光路長、すなわち、光束Wの出射部から各液晶モジュール962R、962G、962Bまでの距離は、青色光束Bが最も長くなり、したがって、青色光束の光量損失が最も多くなる。しかし、導光系927を介在させることにより、光量損失を抑制することができる。

【0113】各ライトバルブ925R、925G、925Bを通過して変調された各色光束R、G、Bは、色合成プリズム910に入射され、ここで合成される。そして、この色合成プリズム910によって合成された光が投射レンズユニット906を介して所定の位置にある投射面1120の表面に拡大投射されるようになっていく。

【0114】本例では、液晶モジュール962R、962G、962Bには、TFTの下側に遮光層が設けられているため、当該液晶モジュール962R、962G、962Bからの投射光に基づく液晶プロジェクト内の投射光学系による反射光や、投射光が通過する際のTFTアレイ基板の表面からの反射光、他の液晶装置から出射した後に投射光学系を突き抜けてくる投射光の一部等が、戻り光としてTFTアレイ基板の側から入射しても、画素電極のスイッチング用のTFTのチャンネルに対する遮光を十分に行うことができる。

【0115】このため、小型化に適した色合成プリズム910を用いても、各液晶モジュール962R、962G、962Bと当該色合成プリズム910との間において、戻り光防止用のフィルムを別途配置したり、偏光手段に戻り光防止処理を施したりすることが不要となるの

で、構成を小型且つ簡易化する上で大変有利である。

【0116】また、本例では、戻り光によるTFTのチャネル領域への影響を抑えることができるため、液晶装置に対して、戻り光防止処理を施した偏光手段961R、961G、961Bを貼り付けなくてもよい。すなわち、偏光手段961R、961G、961Bを液晶モジュール962R、962G、962Bから離して形成してもよい。例えば、一方の偏光手段961R、961G、961Bは色合成プリズム910に貼り付け、他方の偏光手段960R、960G、960Bは集光レンズ951、952、953に貼り付けることが可能である。このように、偏光手段を色合成プリズム910あるいは集光レンズ951、952、953に貼り付けると、偏光手段の熱が、色合成プリズム910あるいは集光レンズ951、952、953に吸収されるため、液晶装置の温度上昇を抑制して、その誤動作を未然に防止することができる。

【0117】また、図示を省略するが、液晶モジュール962R、962G、962Bと、偏光手段とを離間形成することにより、液晶モジュール962R、962G、962Bと偏光手段との間には空気層ができる。従って、ここに冷却手段を設け、液晶モジュール962R、962G、962Bと偏光手段との間に冷風等の送風を送り込むことにより、液晶モジュール962R、962G、962Bの温度上昇を抑制すれば、液晶モジュール962R、962G、962Bの温度上昇による誤動作をより確実に防止することが可能となる。

【0118】なお、上述した説明にあっては、電気光学装置を、液晶装置として説明したが、これに限るものではなく、エレクトロルミネッセンスや、プラズマディスプレイ等の種々の電気光学装置にも本発明は適用可能である。

【0119】

【発明の効果】以上説明したように、本発明では、画像表示領域で画素スイッチング用のTFTを構成する第1の半導体層を薄くすることにより、光リーク電流を抑制している一方、周辺回路用のTFTを構成する第2の半導体層を厚くして、耐電圧を高め、かつ、大電流を流せるようにしてある。このようにTFTの用途によって半導体層の厚さを変えてあるが、画素スイッチング用のTFTと、第1の周辺回路用のTFTとは、チャネルドープされた不純物イオンのドーズ量が等しく、閾値電圧が異なる。すなわち、不純物イオンのドーズ量を前記画素スイッチング用のトランジスタの閾値電圧を最適化することを優先してある。それでも本発明では、TFTを構成する半導体層として単結晶半導体層を用いたため、トランジスタ特性が高いので、周辺回路用のTFTの閾値電圧が最適値からずれていても、周辺回路を十分、駆動することができる。それ故、本発明によれば、同一導電型の画素スイッチング用のTFTと周辺回路用のTFT

とにおいて単結晶半導体層の膜厚を変えた場合でも、チャネルドープを1回で済ませることができるので、製造工程を短縮できるので、低コスト化を図ることができる。

【図面の簡単な説明】

【図1】本発明を適用した液晶装置をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図2】図1のH-H'断面図である。

【図3】液晶装置の画像表示領域において、マトリクス状に配置された複数の画素に形成された各種素子、配線などの等価回路図である。

【図4】液晶装置において、TFTアレイ基板に形成された各画素の構成を示す平面図である。

【図5】図1および図2に示す液晶装置の画像表示領域の一部を図4のA-A'線に相当する位置で切断したときの断面図である。

【図6】図1および図2に示す液晶装置の画像表示領域の周辺領域に形成した回路の平面図である。

【図7】図6に示す駆動回路用のTFTの断面図である。

【図8】チャネル領域の膜厚が異なるTFTにおいて、チャネルドープを行った際の不純物イオンのドーズ量と閾値電圧との関係を示すグラフである。

【図9】(A)～(E)は、図1および図2に示す液晶装置に用いたTFTアレイ基板の製造方法を示す工程断面図である。

【図10】(A)～(D)は、図1および図2に示す液晶装置に用いたTFTアレイ基板の製造方法を示す工程断面図である。

【図11】(A)～(C)は、図1および図2に示す液晶装置に用いたTFTアレイ基板の製造方法を示す工程断面図である。

【図12】(A)～(C)は、図1および図2に示す液晶装置に用いたTFTアレイ基板の製造方法を示す工程断面図である。

【図13】本発明に係る液晶装置を表示部として用いた電子機器の回路構成を示すブロック図である。

【図14】本発明に係る液晶装置を用いた電子機器の一例としての投射型表示装置の光学系の構成を示す断面図である。

【符号の説明】

1a 画像表示領域の半導体層(第1の半導体層)

1a'、81、91 チャネル領域

10 TFTアレイ基板

30 P型の画素スイッチング用のTFT

60 周辺領域の半導体層(第2の半導体層)

80 P型の駆動回路用のTFT(第1の駆動回路用のTFT)

90 N型の駆動回路用のTFT(第2の駆動回路用の

27

28

TFT)

100 液晶装置

200 単結晶シリコン基板

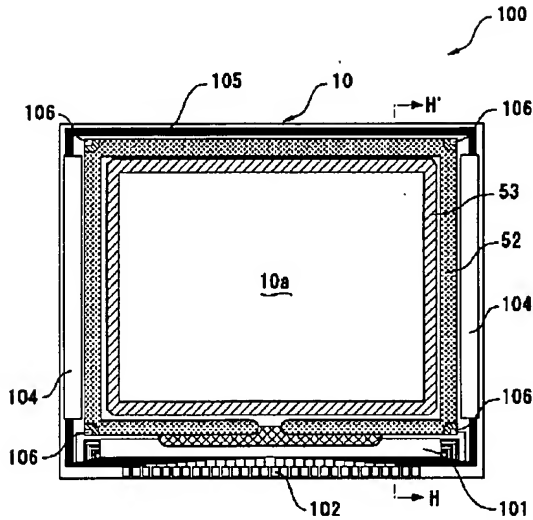
220 第1の単結晶半導体層

230 第2の単結晶半導体層

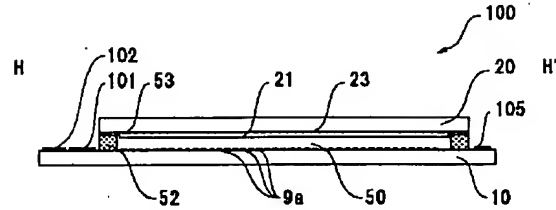
500 支持基板

600 貼り合わせ基板

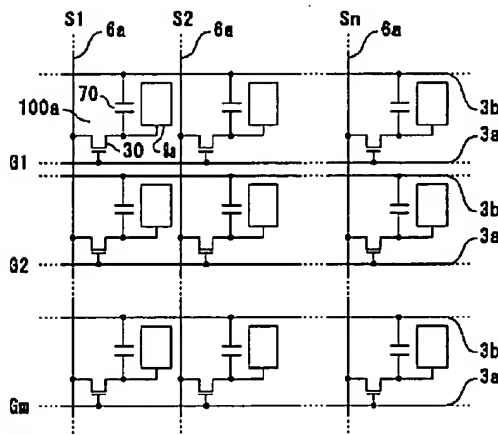
【図1】



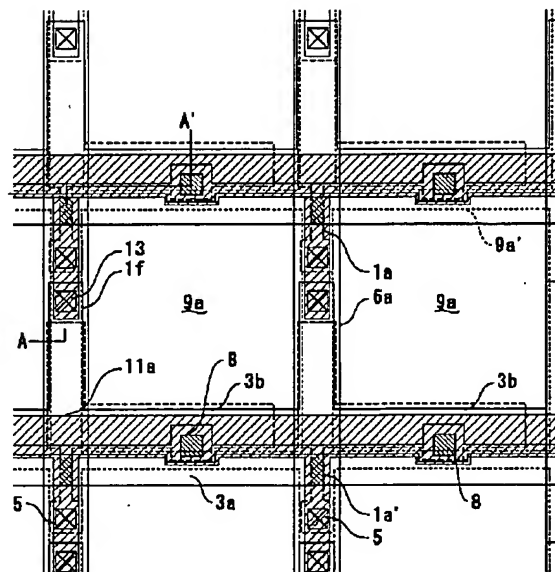
【図2】

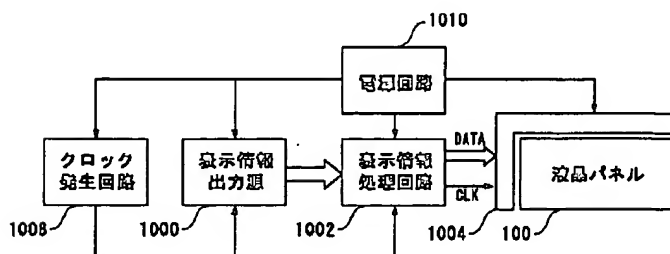
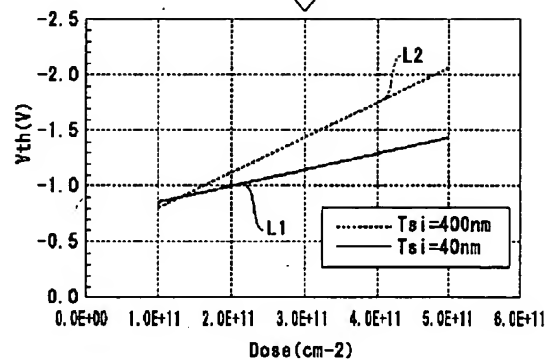
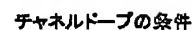


【図3】

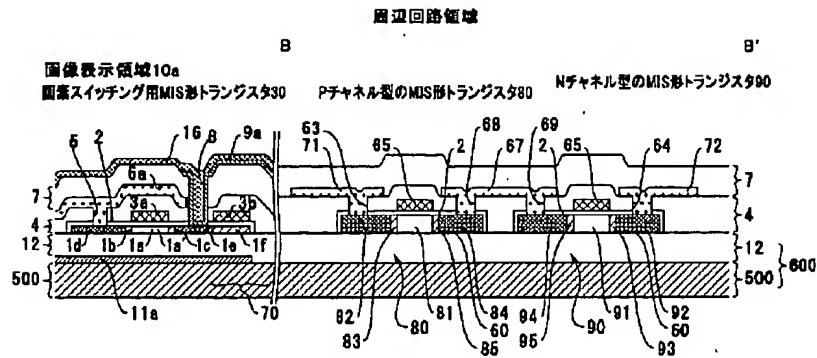


【図4】

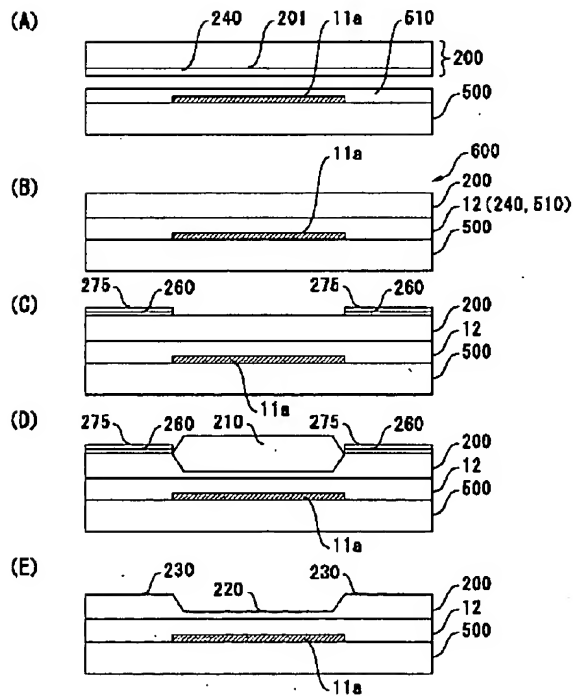




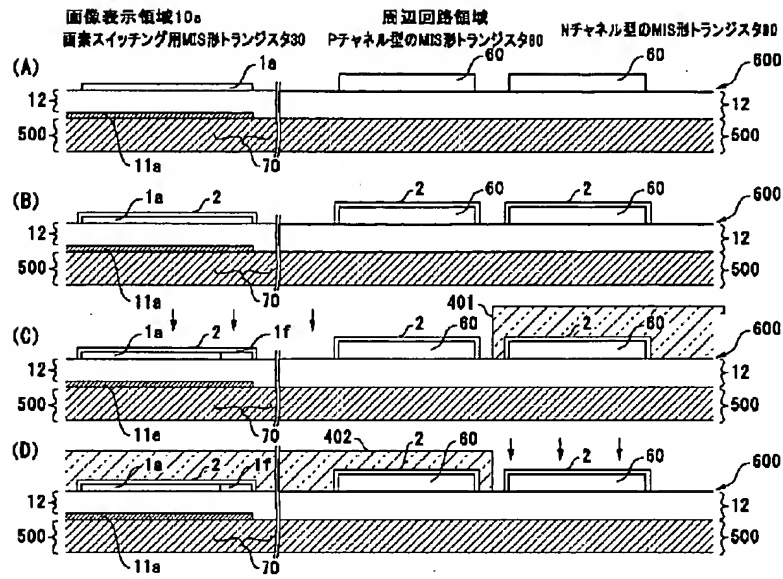
【図7】



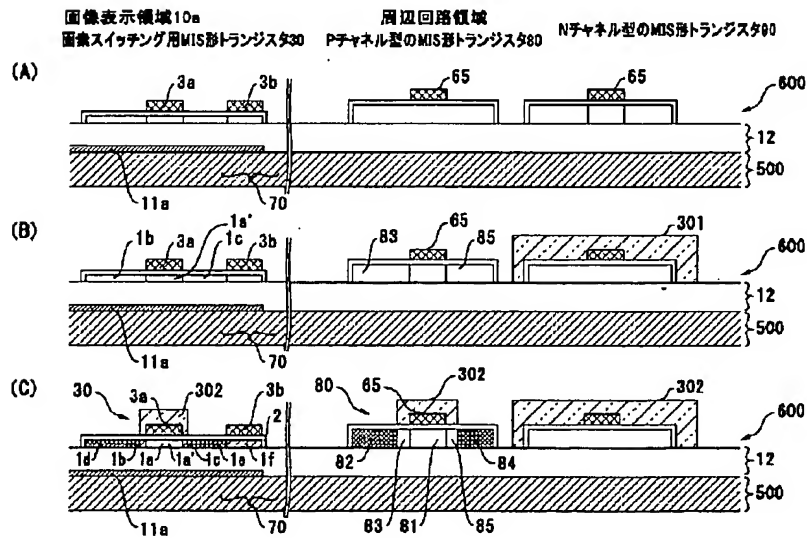
【図9】



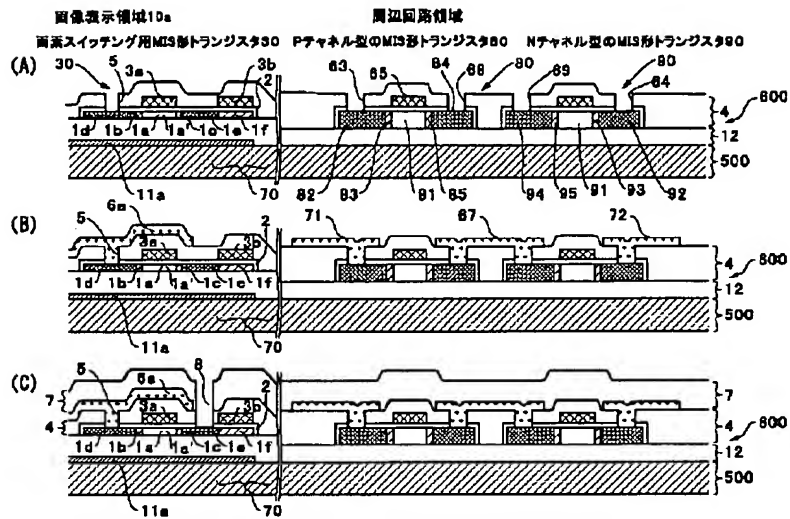
【図10】



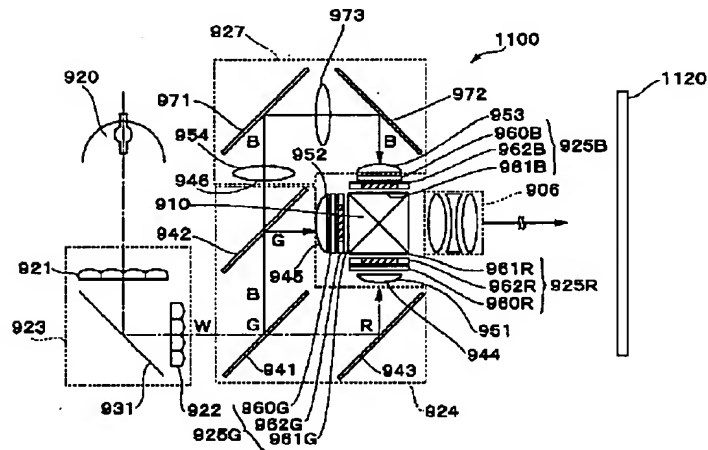
【図11】



【図12】



【図14】



フロントページの続き

(51)Int.Cl.⁷

識別記号

FI
H01L 29/78

テーマコード(参考)

618F
612B

Fターム(参考) 2H092 GA59 GA60 HA03 JA25 JA33
JB51 JB56 KA03 KA11 MA27
MA43 NA27 PA01 PA06 PA07
QA05 RA05
5F048 AA09 AB10 AC04 BA17 BB15
BD04 BD10 BG07
5F110 AA01 AA06 AA07 AA13 AA16
BB02 BB04 CC02 DD02 DD03
DD12 DD13 EE05 EE09 EE14
EE27 EE45 FF02 FF23 GG02
GG12 GG24 GG25 GG32 GG34
GG41 GG52 GG58 HJ01 HJ04
HJ13 HL02 HL03 HL04 HL06
HL07 HL23 HM14 HM15 NN03
NN23 NN24 NN27 NN35 NN45
NN46 NN72 NN73 NN78 QQ16
QQ19

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-084307

(43)Date of publication of application : 19.03.2003

(51)Int.Cl.

G02F 1/1368
G03B 21/00
H01L 27/08
H01L 27/12
H01L 29/786

(21)Application number : 2001-272345

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 07.09.2001

(72)Inventor : KAWADA HIROTAKA

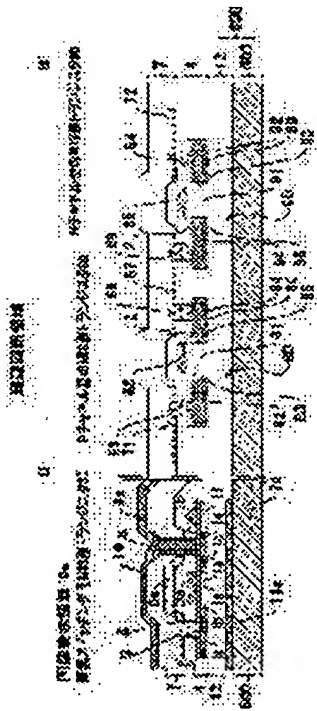
(54) ELECTRO-OPTICAL DEVICE, MANUFACTURING METHOD THEREFOR, AND PROJECTION TYPE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an electro-optical device capable of shortening the manufacturing process, and reducing the cost by finishing channel doping only once even when a monocrystalline semiconductor layer is changed in thickness in TFTs for switching the same conductive type pixels and those for peripheral circuits, to provide a manufacturing method therefor, and to provide a projection type display device.

SOLUTION: In the liquid crystal device 100, TFTs 30 for switching the pixels and TFTs 80 for driving circuits are of the same P-channel type, but mutually differ in film thickness of channel areas 1a', 81. For all that, the channel doping into the channel areas 1a', 81 is carried out at the same time on the same conditions. The

conditions at that time are set to those for optimizing the threshold voltage of the transistors 30 for switching the pixels.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

22.03.2006

BEST AVAILABLE COPY

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the configuration of the thin film transistor (henceforth a thin film transistor (Thin Film Transistor)) formed in a transistor array substrate in more detail which are the electro-optic device using the transistor array substrate equipped with SOI structure, the manufacture approach of this electro-optic device, and a thing about a projection mold indicating equipment.

[0002]

[Description of the Prior Art] The SOI (Silicon On Insulator) technique of using for formation of a semiconductor device the single-crystal-silicon layer prepared on the insulator layer is used also for various kinds of electro-optic devices in order to show the outstanding properties which cannot be attained in the usual single crystal silicon substrate, such as alpha-rays resistance, a latch rise property, or depressor effect of a short channel.

[0003] for example, in the TFT array substrate of the liquid crystal equipment of the active-matrix mold used as a light valve of a projection mold indicating equipment among various kinds of electro-optic devices While TFT for pixel switching is formed in the shape of a matrix using the 1st single crystal half conductor layer formed in the image display field among the single crystal half conductor layers formed through the insulator layer on the support substrate TFT for circumference circuits is formed using the 2nd single crystal half conductor layer formed in the boundary region of an image display field.

[0004] Here, in order to control optical leakage current, as for the single-crystal-silicon layer which constitutes TFT for pixel switching from an image display field, it is desirable to make it very thin. Although the cure which forms a protection-from-light layer in the field which laps with TFT for pixel switching is taken in the viewpoint of controlling optical leakage current when a TFT array substrate is also conventionally seen from a rear-face side (optical incidence side) If TFT of high performance is formed using a single-crystal-silicon layer, it will originate in the optical high electromotive capacity of single crystal silicon, and optical leakage current will flow to TFT by the stray light from between the layers which cannot be prevented only in the usual protection-from-light layer etc. Consequently, the electrical potential difference impressed to the liquid crystal of a picture element part is changed according to optical leakage current, and there is a problem that display grace falls remarkably by a flicker etc. Specifically, the problem of such optical leakage current is especially remarkable, when it is used as a light valve of a projection mold indicating equipment, the liquid crystal equipment in which a strong light carries out incidence as compared with a direct viewing type, and.

[0005] On the other hand, in TFT for circumference circuits, withstand voltage is high, and although it is called for that a high current can be passed, when a single-crystal-silicon layer is made thin, it cannot respond to such a demand as the above-mentioned cure against optical leakage current.

[0006] Then, forming from a single-crystal-silicon layer thin about TFT for pixel switching in an image display field, and forming from a thick single crystal silicone film about TFT for circumference circuits conventionally, is examined. However, when the thickness of a single-crystal-silicon layer is changed in

this way, in order to optimize the threshold voltage of TFT for pixel switching, and TFT for circumference circuits, the channel dope was once performed to each every, and the dose of impurity ion is set as the optimal conditions for each.

[0007]

[Problem(s) to be Solved by the Invention] Thus, even if it is TFT of the same conductivity type conventionally, a channel dope is performed twice, and since the dose of the impurity ion at the time of performing a channel dope in TFT for pixel switching of the same conductivity type and TFT for circumference circuits is set as different conditions, there is a trouble that the number of production processes increases.

[0008] Moreover, in the case of the SOI structure where the transistor was separated by the insulator layer, the channel field in a transistor cannot be made to fix to predetermined potential, but a channel field will be in the condition of having floated electrically. Especially, with the N type transistor whose electron is a carrier, since the mobility of the carrier which moves in the inside of a channel is high, by the collision with the carrier and crystal lattice which were accelerated by the electric field near the drain field, the phenomenon called impact ionization happens and an electron-hole pair generates. An electron hole is accumulated in the channel lower part of N type TFT in that case. Thus, if the charge of an electron hole is accumulated in a channel, electric properties -- in order for the NPN (when it is N channel mold) structure of TFT to see and to operate as upper bipolar transistor, source drain pressure-proofing of a component deteriorates by abnormal current-- will get worse. Therefore, at the sacrifice of the numerical aperture of a pixel field, when TFT for pixel switching is used as an N channel mold, even if, there is also a trouble that it is necessary to install the body contact which fixes the potential of a channel.

[0009] It is in providing about the electro-optic device which can shorten a production process by finishing a channel dope at once even when the technical problem of this invention changes the thickness of a single crystal half conductor layer in view of the above trouble in TFT for pixel switching of the same conductivity type, and TFT for circumference circuits, and can attain low cost-ization, its manufacture approach, and a projection mold display.

[0010] Moreover, in TFT for pixel switching, even if the technical problem of this invention does not perform body contact with which the numerical aperture of a pixel field falls victim, it is to offer the electro-optic device which can cancel generating of the fault resulting from generation of an electron-hole pair, its manufacture approach, and a projection mold display.

[0011]

[Means for Solving the Problem] The inside of the semi-conductor layer formed through the insulator layer in this invention on the support substrate in order to solve the above-mentioned technical problem, While TFT for pixel switching of the 1st conductivity type is formed in the shape of a matrix using the 1st semi-conductor layer formed in the image display field In the electro-optic device which has the transistor array substrate with which TFT for circumference circuits was formed using the 2nd semi-conductor layer formed in the boundary region of said image display field, and the electrooptic material held at this transistor array substrate Said 1st semi-conductor layer and said 2nd semi-conductor layer It is a single crystal half conductor layer. To TFT for said circumference circuits TFT for said pixel switching, TFT for the 1st circumference circuit where a conductivity type is the same, and TFT for the 2nd circumference circuit from which a conductivity type differs are contained. TFT for said 1st circumference circuit As compared with TFT for said pixel switching, a channel field is thick, and it is characterized by threshold voltage differing.

[0012] In this invention, optical leakage current is controlled by making thin the 1st semi-conductor layer which constitutes TFT for pixel switching from an image display field, and being referred to as TFT of a perfect depletion mold. Withstand voltage is raised and it enables it to have passed the high current by, thickening the 2nd semi-conductor layer which constitutes TFT for circumference circuits on the other hand, and being referred to as TFT of a partial depletion mold. Thus, although the thickness of a semi-conductor layer is changed by the application of TFT, TFT for pixel switching and TFT for the 1st circumference circuit have the equal dose of the impurity ion by which the channel dope was carried

out, and threshold voltage differs. That is, since the single crystal half conductor layer was used as a semi-conductor layer which still constitutes TFT from this invention and transistor characteristics are high, even if the optimal threshold voltage will shift in TFT for circumference circuits if the dose of impurity ion is set as the conditions which optimize the threshold voltage of the transistor for said pixel switching, but the threshold voltage of TFT for circumference circuits has shifted from the optimum value, a circumference circuit can be driven enough. So, since according to this invention a channel dope can be finished at once and a production process can be shortened even when the thickness of a single crystal half conductor layer is changed in TFT for pixel switching of the same conductivity type, and TFT for circumference circuits, low cost-ization can be attained.

[0013] In this invention, said 1st conductivity type is P type, and, as for said 2nd conductivity type, it is desirable that it is N type. Thus, if constituted, even if it is the case where a semi-conductor layer consists of a single-crystal-silicon layer with the high mobility of a carrier etc., with the transistor of P type, a carrier will be an electron hole and will become about 1/3 mobility as compared with an electron. Therefore, since the generation of an electron-hole pair by the carrier can be controlled and it is not necessary to install the body contact which fixes the potential of a channel, the large numerical aperture of a pixel field can be taken.

[0014] Moreover, the inside of the semi-conductor layer formed through the insulator layer with another gestalt of this invention on the support substrate, While TFT for pixel switching of the 1st conductivity type is formed in the shape of a matrix using the 1st semi-conductor layer formed in the image display field In the electro-optic device which has the transistor array substrate with which TFT for circumference circuits was formed using the 2nd semi-conductor layer formed in the boundary region of said image display field, and the electrooptic material held at this transistor array substrate Said 1st semi-conductor layer and said 2nd semi-conductor layer It is a single crystal half conductor layer. TFT for said circumference circuits It is constituted by TFT for said pixel switching, and TFT for circumference circuits with the same conductivity type, and TFT for said 1st circumference circuit has a thick channel field as compared with TFT for said pixel switching, and is characterized by threshold voltage differing.

[0015] In this invention, optical leakage current is controlled by making thin the 1st semi-conductor layer which constitutes TFT for pixel switching from an image display field, and being referred to as TFT of a perfect depletion mold. Withstand voltage is raised and it enables it to have passed the high current by, thickening the 2nd semi-conductor layer which constitutes TFT for circumference circuits on the other hand, and being referred to as TFT of a partial depletion mold. Thus, although the thickness of a semi-conductor layer is changed by the application of TFT, TFT for pixel switching and TFT for circumference circuits have the equal dose of the impurity ion by which the channel dope was carried out, and threshold voltage differs. That is, since the single crystal half conductor layer was used as a semi-conductor layer which still constitutes TFT from this invention and transistor characteristics are high, even if the optimal threshold voltage will shift in TFT for circumference circuits if the dose of impurity ion is set as the conditions which optimize the threshold voltage of the transistor for said pixel switching, but the threshold voltage of TFT for circumference circuits has shifted from the optimum value, a circumference circuit can be driven enough. So, since according to this invention a channel dope can be finished at once and a production process can be shortened even when the thickness of a single crystal half conductor layer is changed in TFT for pixel switching of the same conductivity type, and TFT for circumference circuits, low cost-ization can be attained. Furthermore, by constituting a circumference circuit only from TFT for pixel switching, and TFT of the same conductivity type, a production process can be shortened greatly and further low cost-ization can be attained.

[0016] As for said 1st conductivity type, in this invention, it is desirable that it is P type. That is, it is desirable that each is [of TFT for pixel switching and TFT for circumference circuits] P type. Thus, if constituted, even if it is the case where a semi-conductor layer consists of a single-crystal-silicon layer with the high mobility of a carrier etc., with the transistor of P type, a carrier will be an electron hole and will become about 1/3 mobility as compared with an electron. Therefore, since the generation of an electron-hole pair by the carrier can be controlled and it is not necessary to install the body contact

which fixes the potential of a channel, the large numerical aperture of a pixel field can be taken.

[0017] In this invention, as for the thickness of said 1st semi-conductor layer, it is desirable that it is within the limits from 30nm to 80nm, and, as for the thickness of said 2nd semi-conductor layer, it is desirable that it is within the limits from 150nm to 500nm. As a result of the thickness of a channel layer becoming thin rather than the flare of a depletion layer even if the high impurity concentration of a channel field is high if the thickness of a channel field is 80nm or less, it becomes possible to obtain the transistor of a perfect depletion mold. On the other hand, if the thickness of a channel field is 30nm or more, it will also become possible to make dispersion, such as threshold voltage of a transistor, small. Furthermore, in the channel field set as such thickness, since the optical leakage current by the electron-hole pair produced by optical pumping is small, it becomes possible to obtain the electro-optic device of high display grace.

[0018] In this invention, TFT for said 1st circumference circuit is equipped with the channel field of a partial depletion mold, and, as for TFT for said pixel switching, it is desirable to have the channel field of a perfect depletion mold.

[0019] In this invention, TFT for said pixel switching, and TFT for this pixel switching and TFT for said circumference circuits with the same conductivity type have the equal dose of the impurity ion by which the channel dope was carried out.

[0020] Here, the dose of said impurity ion is set as the conditions which optimize the threshold voltage of the transistor for said pixel switching.

[0021] In this invention, said single crystal half conductor layer is for example, a single-crystal-silicon layer.

[0022] As for said support substrate, in this invention, it is desirable that it is a quartz substrate. As a support substrate, if a quartz substrate is used, the elevated-temperature process to about 1150 degrees C is applicable to the production process of TFT. For this reason, it becomes possible to obtain highly efficient TFT.

[0023] In this invention, a glass substrate may be used as said support substrate. Thus, if a glass substrate is used, low cost-ization of liquid crystal equipment can be attained.

[0024] The electro-optic device concerning this invention is for example, liquid crystal equipment. With such liquid crystal equipment, the liquid crystal held as said electrooptic material between said transistor array substrate and the opposite substrate by which opposite arrangement was carried out to this transistor array substrate is used.

[0025] While TFT for pixel switching of the 1st conductivity type is formed in the shape of a matrix using the 1st semi-conductor layer formed in the image display field in this invention among the semi-conductor layers formed through the insulator layer on the support substrate The transistor array substrate with which TFT for circumference circuits was formed using the 2nd semi-conductor layer formed in the boundary region of said image display field, It has the electrooptic material held at this transistor array substrate. To TFT for said circumference circuits In the manufacture approach of an electro-optic device that TFT for said pixel switching, TFT for the 1st circumference circuit where a conductivity type is the same, and TFT for the 2nd circumference circuit from which a conductivity type differs were contained While forming said 1st semi-conductor layer and said 2nd semi-conductor layer from a single crystal half conductor layer, about the channel field of TFT for said 1st circumference circuit It is made thicker than the channel field of TFT for said pixel switching. The channel field of TFT for said 1st circumference circuit, And the channel dope to the channel field of TFT for said pixel switching is characterized by carrying out to coincidence with the same impurity ion and the same dose.

[0026] While TFT for pixel switching of the 1st conductivity type is formed in the shape of a matrix using the 1st semi-conductor layer formed in the image display field in this invention among the semi-conductor layers formed through the insulator layer on the support substrate The transistor array substrate with which TFT for circumference circuits was formed using the 2nd semi-conductor layer formed in the boundary region of said image display field, It has the electrooptic material held at this transistor array substrate. To TFT for said circumference circuits While forming said 1st semi-conductor layer and said 2nd semi-conductor layer from a single crystal half conductor layer in the manufacture

approach of the electro-optic device constituted by TFT for said pixel switching, and TFT for circumference circuits with the same conductivity type. About the channel field of TFT for said circumference circuits, It is made thicker than the channel field of TFT for said pixel switching. The channel field of TFT for said circumference circuits, And the channel dope to the channel field of TFT for said pixel switching is characterized by carrying out to coincidence with the same impurity ion and the same dose.

[0027] In this case, it is desirable to set the dose of the impurity ion at the time of performing said channel dope as the conditions which optimize the threshold voltage of TFT for said pixel switching.

[0028] The electro-optic device concerning this invention is used as a light valve of a projection mold indicating equipment etc.

[0029]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to a drawing.

[0030] (The whole liquid crystal equipment configuration) Drawing 1 is the top view which looked at the liquid crystal equipment (electro-optic device) with which this invention is applied from the opposite substrate side with each component formed on it, and drawing 2 is a H-H' sectional view of drawing 1 shown including an opposite substrate.

[0031] In drawing 1, on the TFT array substrate 10 of liquid crystal equipment 100, the sealant 52 is formed along the edge, and image display field 10a is prescribed in the inside field by the frame 53 for abandonment which consists of a protection-from-light nature ingredient. The data-line drive circuit 101 and the mounting terminal 102 are formed in the outside field (boundary region) of image display field 10a along with one side of the TFT array substrate 10, and the scanning-line drive circuit 104 is formed in it along with two sides which adjoin this one side.

[0032] If delay of the scan signal supplied to the scanning line does not become a problem, the thing only with one side sufficient [the scanning-line drive circuit 104] cannot be overemphasized.

Moreover, the data-line drive circuit 101 may be arranged on both sides along the side of image display field 10a. For example, the data line of an odd number train supplies a picture signal from the data-line drive circuit arranged along one side of image display field 10a, and you may make it the data line of an even number train supply a picture signal from the data-line drive circuit arranged along the side of the opposite side of image display field 10a. Thus, if it is made to drive the data line in the shape of a ctenidium, since the formation area of the data-line drive circuit 101 is extensible, it becomes possible to constitute a complicated circuit. Furthermore, two or more wiring 105 for connecting between the scanning-line drive circuits 104 established in the both sides of image display field 10a is formed in one side in which the TFT array substrate 10 remains, and a precharge circuit and an inspection circuit may be prepared further again using the bottom of a frame 53 etc. Moreover, in at least one place of the corner section of the opposite substrate 20, the vertical flow material 106 for taking an electric flow between the TFT array substrate 10 and the opposite substrate 20 is formed.

[0033] And as shown in drawing 2, the opposite substrate 20 with the almost same profile as the sealant 52 shown in drawing 1 has fixed to the TFT array substrate 10 by this sealant 52. In addition, sealants 52 are adhesives which consist of photo-curing resin, thermosetting resin, etc. for sticking the TFT array substrate 10 and the opposite substrate 20 around those, and gap material, such as glass fiber for making distance between both substrates into a predetermined value or a glass bead, is blended.

[0034] Although mentioned later in detail, pixel electrode 9a is formed in the TFT array substrate 10 in the shape of a matrix. On the other hand, the light-shielding film 23 called a black matrix or a black stripe is formed in the border area of pixel electrode 9a currently formed in the TFT array substrate 10 in every direction, and the field which counters, and the counterelectrode 21 which consists of ITO film is formed in the opposite substrate 20 at the upper layer side.

[0035] Thus, the formed liquid crystal equipment 100 is used in the projection mold liquid crystal display (liquid crystal projector) mentioned later, for example. In this case, the liquid crystal equipment 100 of three sheets will be respectively used as a light valve for RGB, and incidence of the light of each color decomposed through the dichroic mirror for RGB color separation will be respectively carried out

to each of each liquid crystal equipment 100 as incident light. Therefore, the color filter is not formed in the liquid crystal equipment 100 of each above mentioned gestalt.

[0036] However, in electronic equipment, such as the mobile computer and portable telephone which are mentioned later, and a liquid crystal television, it can use as a color liquid crystal display of a direct viewing type besides a projection mold liquid crystal display by forming the color filter of RGB in the field which counters each pixel electrode 9a in the opposite substrate 20 with the protective coat.

[0037] Furthermore, since the condensing effectiveness over pixel electrode 9a of incident light can be raised by forming a micro lens to the opposite substrate 20 so that it may correspond to each pixel, a bright display can be performed. The die clo IKKU filter which makes a RGB color may be formed using the interferential action of light by carrying out the laminating of the many layers interference layer from which a refractive index differs to the opposite substrate 20 further again. According to the opposite substrate with this die clo IKKU filter, brighter color display can be performed.

[0038] Next, the electric configuration and actuation of the liquid crystal equipment of a active-matrix mold are explained with reference to drawing 3 thru/or drawing 8.

[0039] Since image display field 10a of liquid crystal equipment 100 is constituted, drawing 3 is representative circuit schematics, such as various components in two or more pixels formed in the shape of a matrix, and wiring. Drawing 4 is the top view of the pixel which adjoins each other in the TFT array substrate with which the data line, the scanning line, a pixel electrode, etc. were formed. Drawing 5 is the explanatory view showing the cross section in the location equivalent to the A-A' line of drawing 4, and the cross section in the condition of having enclosed the liquid crystal as electrooptic material between the TFT array substrate and the opposite substrate. In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in these drawings.

[0040] In drawing 3, in image display field 10a of liquid crystal equipment 100, TFT30 for the pixel switching for controlling pixel electrode 9a and pixel electrode 9a is formed in each of two or more pixels formed in the shape of a matrix, and data-line 6a which supplies a pixel signal is electrically connected to the source concerned of TFT30. Pixel signals S1 and S2 written in data-line 6a ... Sn is supplied to this order line sequential. Moreover, scanning-line 3a is electrically connected to the gate of TFT30, and they are the scan signals G1 and G2 in [in predetermined timing / scanning-line 3a] pulse... It is constituted so that Gm may be impressed to this order by line sequential.

[0041] Pixel electrode 9a is the pixel signals S1 and S2 supplied from data-line 6a, when it connects with the drain of TFT30 electrically and only a fixed period makes TFT30 which is a switching element the ON state... Sn is written in each pixel to predetermined timing. thus, the pixel signals S1 and S2 of the predetermined level written in liquid crystal through pixel electrode 9a and ... fixed period maintenance of the Sn is carried out between the counterelectrodes formed in the opposite substrate mentioned later.

[0042] When the orientation and order of molecular association change with the voltage levels impressed, liquid crystal modulates light and enables a gradation display. If it is in no MARI White mode, in case incident light passes this liquid crystal part according to the impressed electrical potential difference, it will become irregular, and it will be interrupted with the polarization film in the exterior of a liquid crystal panel, and a gradation display will be performed. If it is in NOMA reeve rack mode, in case incident light passes this liquid crystal part according to the impressed electrical potential difference, it will consider as a modulation, and light with the contrast according to a picture signal will carry out outgoing radiation from liquid crystal equipment 100 as a whole with the quantity of light passed with the polarization film in the exterior of a liquid crystal panel.

[0043] Here, storage capacitance 70 (capacitor) may be added to the liquid crystal capacity and juxtaposition which are formed between pixel electrode 9a and a counterelectrode for the purpose of preventing the held pixel signal leaking. With this storage capacitance 70, as for the electrical potential difference of pixel electrode 9a, only time amount also with triple figures longer than the time amount to which for example, the source electrical potential difference was impressed is held. Thereby, the maintenance property of a charge improves and the liquid crystal equipment which can perform the high

display of a contrast ratio can be realized. In addition, you may be any, when forming between capacity line 3b which is wiring for forming capacity as an approach of forming storage capacitance 70, or also when forming between scanning-line 3a of the preceding paragraph.

[0044] (Configuration of a pixel) In drawing 4, on the TFT array substrate 10 of liquid crystal equipment 100, two or more transparent pixel electrode 9a (field surrounded by the dotted line) is formed for every pixel in the shape of a matrix, and data-line 6a (an alternate long and short dash line shows), scanning-line 3a (a continuous line shows), and capacity line 3b (a continuous line shows) are formed along the border area of pixel electrode 9a in every direction.

[0045] Electrical installation of the data-line 6a is carried out to the source field later mentioned among semi-conductor layer 1a which consists of a single-crystal-silicon layer through a contact hole 5 among these wiring, and electrical installation of the pixel electrode 9a is carried out to the drain field of semi-conductor layer 1a through the contact hole 8. Furthermore, scanning-line 3a is arranged so that a channel field may be countered among semi-conductor layer 1a, and scanning-line 3a functions as a gate electrode. Capacity line 3b has the main track section (namely, the 1st field which saw superficially and was formed along with scanning-line 3a) mostly extended in the shape of a straight line along with scanning-line 3a, and the lobe (the 2nd field which saw superficially and was installed along with data-line 6a) projected to the preceding paragraph side (inside of drawing, facing up) along with data-line 6a from the part which intersects data-line 6a.

[0046] Moreover, as a slash upward slanting to the right is attached and shown in the TFT array substrate 10 at drawing 4, light-shielding film 11a is formed. This light-shielding film 11a TFT30 including the channel field of semi-conductor layer 1a in each pixel It is formed so that it may see and cover from the TFT array substrate 10 side, and it has the lobe projected to the stage side (namely, drawing Nakashita sense) which adjoins the main track section which counters the main track section of capacity line 3b, and is extended in the shape of a straight line along with scanning-line 3a along with data-line 6a from the part which intersects data-line 6a. The tip of the downward lobe in each stage (pixel line) of this light-shielding film 11a is piled up in the bottom of data-line 6a with the tip of the upward lobe of capacity line 3b in the next step.

[0047] In drawing 5, the base of the TFT array substrate 10 consists of a lamination substrate 600 mentioned later, and the base of the opposite substrate 20 consists of transparence substrate 20b, such as a quartz substrate and a heat-resisting-glass plate.

[0048] Pixel electrode 9a is formed in the TFT array substrate 10, and the orientation film 16 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. Pixel electrode 9a consists of transparent conductive thin films, such as for example, ITO (Indium Tin Oxide) film. The orientation film 16 is formed performing rubbing processing to organic thin films, such as for example, a polyimide thin film, and by forming inorganic substances, such as SiO₂, by the method vacuum evaporation of slanting.

[0049] In image display field 10a of the TFT array substrate 10, TFT30 for pixel switching which carries out switching control of each pixel electrode 9a is formed in the location which adjoins each pixel electrode 9a.

[0050] In this gestalt, TFT30 for pixel switching is constituted as a P channel mold.

[0051] Moreover, light-shielding film 11a is formed in the field which laps with TFT30 superficially inside the lamination substrate 600. Therefore, the return light from the TFT array substrate 10 side etc. can prevent channel field 1a' of TFT30 for pixel switching, and carrying out incidence to low concentration source field 1b and low concentration drain field 1c, and can ** them. In addition, light-shielding film 11a consists of simple substance film, alloy film, or metal silicide of Ti, Cr, W, Ta, Mo, and Pb which are an opaque refractory metal etc. If constituted from such an ingredient, in case the TFT array substrate 10 will be manufactured, light-shielding film 11a can be equal to high temperature processing performed with the formation process of TFT30 for pixel switching performed after the formation process of light-shielding film 11a.

[0052] Moreover, the interlayer insulation film 12 which consists of high insulation glass and silicon oxide, such as NSG (non doped silicate glass), PSG (phosphorus silicate glass), BSG (boron silicate

glass), and BPSG (boron phosphorus silicate glass), is formed in the front-face side of light-shielding film 11a, and TFT30 is formed in the front-face side of this interlayer insulation film 12. That is, an interlayer insulation film 12 is formed in order to insulate electrically semi-conductor layer 1a which constitutes TFT30 from light-shielding film 11a.

[0053] TFT30 for pixel switching has LDD (Lightly Doped Drain) structure, and high concentration drain field 1e is formed in channel field 1a' by which a channel is formed in semi-conductor layer 1a of the electric field from scanning-line 3a, low concentration source field 1b, low concentration drain field 1c, 1d of high concentration source fields, and a list. Moreover, the gate dielectric film 2 with which this semi-conductor layer 1a and scanning-line 3a are insulated is formed in the upper layer side of semi-conductor layer 1a.

[0054] Here, semi-conductor layer 1a (1st semi-conductor layer) used for constituting TFT30 is a single-crystal-silicon layer, and impurity ion is doped by channel field 1a' on the conditions mentioned later.

[0055] Thus, the interlayer insulation films 4 and 7 which consist of silicon oxide etc. are formed in the front-face side of constituted TFT30. Data-line 6a was formed in the front face of an interlayer insulation film 4, and this data-line 6a is electrically connected to it through the contact hole 5 formed in the interlayer insulation film 4 at 1d of high concentration source fields. Pixel electrode 9a which consists of ITO film is formed in the front face of an interlayer insulation film 7. Pixel electrode 9a is electrically connected to high concentration drain field 1e through the contact hole 8 formed in interlayer insulation films 4 and 7 and gate dielectric film 2. The orientation film 16 which consists of polyimide film is formed in the front-face side of this pixel electrode 9a.

[0056] Moreover, to 1f (bottom electrode) of installation parts from high concentration drain field 1e, through the insulator layer (dielectric film) by which coincidence formation was carried out with gate-dielectric-film 2a, when scanning-line 3a and capacity line 3b of this layer counter as an upper electrode, storage capacitance 70 is constituted. Moreover, it connects with capacity line 3b electrically through the contact hole 13 formed in interlayer insulation film 11a, and light-shielding film 11a is bearing a part of storage capacitance 70.

[0057] In addition, although TFT30 has LDD structure as mentioned above preferably, it may have the offset structure which does not drive impurity ion into the field equivalent to low concentration source field 1b and low concentration drain field 1c. Moreover, TFT30 may be TFT of the self aryne mold which drove in impurity ion by high concentration by having used the gate electrode (a part of scanning-line 3a) as the mask, and formed the high-concentration source and a high-concentration drain field in self align. Moreover, although considered as the single gate structure which has arranged one gate electrode (scanning-line 3a) of TFT30 between source-drain fields with this gestalt, two or more gate electrodes may be arranged among these. Under the present circumstances, to each gate electrode, the same signal is made to be impressed. Thus, if TFT30 is constituted above the dual gate (double-gate) or the triple gate, the leakage current in the joint of a channel and a source-drain field can be prevented, and the current at the time of OFF can be reduced. If at least one of these gate electrodes is made into LDD structure or offset structure, the OFF state current can be reduced further and the stable switching element can be obtained.

[0058] On the other hand, it crosses to the opposite substrate 20 all over the, the counterelectrode (common electrode) 21 is formed, and the orientation film 22 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. A counterelectrode 21 consists of transparent conductive thin films, such as for example, ITO film. The orientation film 22 is the film with which rubbing processing was performed to organic thin films, such as a polyimide thin film, and a thin film which formed inorganic substances, such as SiO₂, by the method vacuum evaporation of slanting. Moreover, the light-shielding film 23 is formed in fields other than the opening field of each picture element part at the opposite substrate 20. For this reason, channel field 1a' of semi-conductor layer 1a of TFT30 for pixel switching and reaching low concentration source field 1b and low concentration drain field 1c do not have the opposite substrate 20 side to incident light. In addition, a light-shielding film 23 also has functions, such as improvement in contrast, and color mixture prevention of color material.

[0059] Thus, the TFT array substrate 10 and the opposite substrate 20 which were constituted are arranged so that pixel electrode 9a and a counterelectrode 21 may meet, and these substrates are stuck by the aforementioned sealant 52 (see drawing 1 and drawing 6). In this condition, the liquid crystal 50 as electrooptic material is enclosed and pinched in the space surrounded from the sealant 52. Liquid crystal 50 takes a predetermined orientation condition with the orientation film in the condition that the electric field from pixel electrode 9a are not impressed. Liquid crystal 50 consists of what mixed a kind or several sorts of pneumatic liquid crystals.

[0060] In addition, according to the exception in in the mode of operation of **, and a normally white mode / normally black modes, such as the class of liquid crystal 50 to be used, i.e., TN (Twisted Nematic) mode, and STN (super TN) mode, a polarization film, a phase contrast film, a polarizing plate, etc. are arranged at the predetermined sense at an optical field [by the side of the optical incidence of the opposite substrate 20 and the TFT array substrate 10], or outgoing radiation side.

[0061] (Configuration of a circumference circuit) In drawing 1, the data-line drive circuit 101 and the scanning-line drive circuit 104 (circumference circuit) are again formed with the liquid crystal equipment 100 of this gestalt using the boundary region of image display field 10a in by the side of the front face of the TFT array substrate 10. Fundamentally, such the data-line drive circuit 101 and the scanning-line drive circuit 104 are constituted, as shown in drawing 6 and drawing 7.

[0062] Drawing 6 is the top view showing an inverter circuit as an example of the configuration of the P channel mold TFT which constitutes the scanning-line drive circuit 104 and the circumference circuit of data-line drive circuit 101 grade, and the N channel mold TFT. Drawing 7 is a sectional view when the B-B' line of drawing 6 cuts TFT which constitutes this circumference circuit. In addition, TFT30 for pixel switching formed in image display field 10a of the TFT array substrate 10 is also shown in drawing 7.

[0063] In drawing 6 and drawing 7, TFT which constitutes a circumference circuit is constituted as a complementary type TFT which consists of TFT80 of a P channel mold, and TFT90 of an N channel mold. The semi-conductor layer 60 (a dotted line shows a profile) which constitutes TFT 80 and 90 for these drive circuits is formed in island shape through the interlayer insulation film 12 formed on the lamination substrate 600.

[0064] The high potential line 71 and the low voltage line 72 are electrically connected to TFT 80 and 90 to the source field of the semi-conductor layer 60 through contact holes 63 and 64, respectively. Moreover, the input wiring 66 is connected to the common gate electrode 65, respectively, and the output wiring 67 is electrically connected to the drain field of the semi-conductor layer 60 through contact holes 68 and 69, respectively.

[0065] Since such a circumference circuit field is also formed through the same process as image display field 10a, interlayer insulation films 4 and 7 and gate dielectric film 2 are formed also in the circumference circuit field. Moreover, TFT 80 and 90 for drive circuits also has LDD structure, and equips the both sides of the channel formation fields 81 and 91 with the source field which consists of high concentration source fields 82 and 92 and low concentration source fields 83 and 93, and the drain field which consists of high concentration drain fields 84 and 94 and low concentration drain fields 85 and 95. [as well as TFT30 for pixel switching]

[0066] Here, although the circuit of a complementary type with an N type transistor and a P type transistor was explained, it is also possible to constitute a circumference circuit only from a transistor of the same P type as a pixel transistor.

[0067] Moreover, the semi-conductor layer 60 is a single-crystal-silicon layer formed by the approach of mentioning later like semi-conductor layer 1a, and impurity ion is doped by the channel fields 81 and 91 on the conditions mentioned later.

[0068] (Difference with an image display field and a circumference circuit field) In image display field 10a and the circumference circuit field which were constituted in this way, semi-conductor layer 1a which constitutes TFT30 for pixel switching is thinly formed as compared with the semi-conductor layer 60 which constitutes TFT 80 and 90 for drive circuits so that drawing 7 may show. For example, semi-conductor layer 1a which constitutes TFT30 for pixel switching is a single-crystal-silicon layer whose

thickness is 30nm - about 80nm, for example, 40nm, and the semi-conductor layer 60 which constitutes TFT 80 and 90 for drive circuits is a single-crystal-silicon layer whose thickness is about 150-500nm, for example, 400nm.

[0069] Thus, in TFT30 for pixel switching, since the thickness of semi-conductor layer 1a is thin and the depletion layer which does not depend on the high impurity concentration of a channel field, but a gate electrode controls spreads more greatly than semi-conductor layer 1a, TFT30 for pixel switching serves as a P type transistor of a perfect depletion mold. Therefore, in TFT30 for pixel switching, since semi-conductor layer 1a is thin even if the optical electromotive capacity of single crystal silicon is high, even if the stray light which cannot be prevented in the protection-from-light function of the protection-from-light layers 11 and 23 or data-line 6a arrives, since the amount of generation of an electron-hole pair of optical pumping can stop small, optical leakage current does not flow. Therefore, since generating of the flicker resulting from optical leakage current etc. can be prevented, display grace is high. So, the liquid crystal equipment 100 of this gestalt fits the light valve of the projection mold indicating equipment in which a strong light carries out incidence as compared with a direct viewing type.

[0070] Moreover, in this gestalt, since TFT30 for pixel switching is a P type transistor, the parasitism bipolar effectiveness cannot happen easily. Therefore, since the need does not have the body contact for fixing the potential of a channel field, the numerical aperture of a pixel field can be made high.

[0071] On the other hand, in TFT 80 and 90 for drive circuits, since the semi-conductor layer 60 which constitutes it is thick, high-speed operation is possible for the ability of sheet resistance to pass a low part and a high current.

[0072] In addition, in a circumference circuit, it is necessary to drive a shift register at high speed to raise drive frequency. In that case, the transistor of the perfect depletion mold which can make parasitic capacitance small is suitable. Since scanning-line 3a is driven and big current drive capacity is needed, the transistor of a buffer of a partial depletion mold is suitable. Therefore, in this invention, as long as the transistor of a partial depletion mold is contained in the circumference circuit, the whole circumference circuit may be the transistor of a partial depletion mold, and the part may be the transistor of a perfect depletion mold. However, when it constitutes the transistor of the same perfect depletion mold as TFT30 for pixel switching in a part of circumference circuit, it is desirable to make thickness of a semi-conductor layer regularity in all the transistors of a perfect depletion mold. That is, a production process can be simplified if the semi-conductor layer which constitutes the transistor of the perfect depletion mold contained in a circumference circuit is made into the same thickness as the semi-conductor layer which constitutes TFT30 for pixel switching.

[0073] (Channel dope conditions) Drawing 8 is a graph which shows the relation between the dose of the impurity ion at the time of performing a channel dope, and threshold voltage in TFT from which the thickness of a channel field differs.

[0074] In constituting the TFT array substrate 10, with this gestalt, B⁺, BF₂⁺, and P⁺ impurity ion are doped to each of channel field 1a' of TFT30 for pixel switching, and the channel fields 81 and 91 of TFT 80 and 90 for drive circuits, and the threshold voltage is adjusted to it. Here, although TFT30 for pixel switching and TFT80 for drive circuits are the same P channel molds, since channel field 1a' differs from the thickness of 81, in order to optimize each threshold voltage, the doses of the impurity ion at the time of performing a channel dope differ.

[0075] However, with this gestalt, about channel field 1a' and the channel dope conditions of 81, it considers as the same conditions, and the condition is made into the conditions which optimize the threshold voltage of the transistor 30 for pixel switching. Therefore, TFT30 for pixel switching differed in threshold voltage from TFT80 for drive circuits, and threshold voltage has shifted from optimum conditions in TFT80 for drive circuits.

[0076] Namely, a continuous line L1 shows the relation between the dose of the impurity ion at the time of the thickness of a channel field performing a channel dope to drawing 8 in TFT30 for pixel switching which is 40nm, and threshold voltage. As a dotted line L2 shows, the relation between the dose of the impurity ion at the time of the thickness of a channel field performing a channel dope in TFT80 for drive circuits which is 400nm, and threshold voltage. Even if it performs a channel dope with the same dose,

as compared with TFT30 whose thickness of a channel field is 40nm, the absolute value of threshold voltage is high in TFT80 whose thickness of a channel field is 400nm. Therefore, in TFT 30 and 80 of these both sides, supposing the optimal threshold voltage is -1.2V In TFT30 whose thickness of a channel field is 40nm, a dose is set to $2.3 \times 10^{11} \text{ cm}^{-2}$. At TFT80 whose thickness of a channel field is 400nm, the place which should make a dose $2.18 \times 10^{11} \text{ cm}^{-2}$, with this gestalt, priority is given to optimizing the threshold voltage of the transistor 30 for pixel switching, and the dose is set to $2.3 \times 10^{11} \text{ cm}^{-2}$. For this reason, to threshold voltage being -1.2V and becoming an optimum value, in TFT80 whose thickness of a channel field is 400nm, threshold voltage is -1.5V and has shifted from the optimum value at TFT30 whose thickness of a channel field is 40nm.

[0077] Since the single-crystal-silicon layer was used as semi-conductor layers 1a and 60 which still constitute TFT 30 and 80 from this gestalt, transistor characteristics are high. Therefore, in TFT80 for circumference circuits, even if threshold voltage has shifted from the optimum value, a circumference circuit can be driven enough. On the other hand, in TFT30 for pixel switching, since threshold voltage is an optimum value, the high display of grace can be performed. Moreover, since according to this gestalt a channel dope can be finished at once and a production process can be shortened so that it may explain below even when the thickness of the semi-conductor layers 1a and 80 is changed in TFT30 for pixel switching of the same conductivity type (P type), and TFT80 for drive circuits, low cost-ization can be attained.

[0078] (The manufacture approach of a TFT array substrate) Drawing 9 is the process sectional view showing an example of an approach which manufactures the lamination substrate of SOI structure used for manufacture of the TFT array substrate 10 of this gestalt. Each of drawing 10 thru/or drawing 12 is the process sectional views showing how to manufacture the TFT array substrate 10 from the lamination substrate of the SOI structure manufactured by the approach shown in drawing 9.

[0079] First, as shown in drawing 9 (A), after forming a light-shielding film called the tungsten silicide film etc. in the whole front face of the support substrate 500 equipped with the translucency of **, such as a quartz substrate or a heat-resisting-glass substrate, patterning of this light-shielding film is carried out using a photolithography technique, and light-shielding film 11a is formed. Next, with the sputtering method, the CVD method, etc., after forming the oxide films 510, such as silicon oxide, NSG (non doped silicate glass), PSG (phosphorus silicate glass) and BSG (boron silicate glass), and BPSG (boron phosphorus silicate glass), in the whole front face of the support substrate 500, the front face of this oxide film 510 is ground on it using approaches, such as the CMP method, and flattening of the front face is carried out to it. Here, the thickness of an oxide film 510 sets about 400-1000nm to about 800nm more preferably, for example. About the support substrate 500, it is desirable to pretreat so that about 850-1300 degrees C of distortion may not occur under inert gas ambient atmospheres, such as nitrogen gas, in the elevated-temperature process which carries out annealing treatment and is carried out behind at a 1000-degree C elevated temperature preferably. namely, a production process -- it is desirable to heat-treat the support substrate 500 at the same temperature or the temperature beyond it according to the maximum temperature processed by being.

[0080] On the other hand, after forming an oxide film 240 also in the 1st field 201 side of the single crystal silicon substrate 200, it grinds using approaches, such as the CMP method, and flattening of the front face is carried out. Although not limited to especially the formation approach of this insulator layer 240, there is the approach of forming an oxide film in the rear face of the single crystal silicon substrate 200 with a CVD method etc. Here, if the single crystal silicon substrate 200 is 300 micrometers - 900 micrometers in thickness, an insulator layer 240 will be taken as the thickness of 400nm - 800nm.

[0081] Such oxide films 240 and 510 are formed in order to secure the adhesion of the single crystal silicon substrate 200 and the support substrate 500.

[0082] Next, where the 1st field 501 of the single crystal silicon substrate 200 and the front face of the support substrate 500 are piled up so that insulator layers 240 and 510 may serve as a plane of composition as shown in drawing 9 (B) The single crystal silicon substrate 200 and the support substrate 500 by heat-treating at 300 degrees C for 2 hours For example, lamination, The lamination substrate 600 with which the single crystal silicon substrate 200 and the support substrate 500 were stuck through the

interlayer insulation film 12 (oxide films 240 and 510) is formed (lamination process).

[0083] next, the single crystal silicon substrate 200 -- 202 sides are ground by the CMP method etc. the 2nd page, and the single crystal silicon substrate 200 is made into predetermined thickness, for example, 400nm.

[0084] Next, after carrying out the laminating of silicon oxide and the silicon nitride to this order all over the 2nd field 202 of the single crystal silicon substrate 200, patterning of silicon oxide and the silicon nitride is carried out using a photolithography technique, and as shown in drawing 9 (C), the anti-oxidation mask layer 275 which consists of a silicon nitride is formed in the 2nd field 202 of the single crystal silicon substrate 200. Thin silicon oxide 260 intervenes between this anti-oxidation mask layer 275 and the single crystal silicon substrate 200. Silicon oxide 260 is formed here in order to ease stress etc., and omitting is also possible.

[0085] Next, as shown in drawing 9 (D), the part exposed from the anti-oxidation mask layer 275 in respect of [of the crystal silicon substrate 200 / 202] the 2nd is oxidized by heat treatment in the ambient atmosphere containing a steam, and the sacrifice oxide film 210 which consists of silicon oxide is formed (sacrifice oxidation process).

[0086] Next, the anti-oxidation mask layer 275 which consists of a silicon nitride, and the silicon oxide 260 for a buffer are removed. Here, since the sacrifice oxide film 210 is a thing which comes to oxidize partially in the single crystal silicon substrate 200, after removing it, the 1st 80nm [30nm to], for example, 40nm, thin single crystal half conductor layer 220 is left behind to the field in which the sacrifice oxide film 210 was formed for thickness. On the other hand, the 2nd single crystal half conductor layer 230 of the 2nd single crystal silicon substrate 200 thick [of thickness (150nm to 500nm, for example, 400nm)] is formed in the field in which the sacrifice oxide film 210 was not formed in the single crystal silicon substrate 200, and the thickness is quite thick as compared with the 1st single crystal half conductor layer 220. Moreover, the interlayer insulation film 12 is formed in the lower layer side also in any of the 1st single crystal half conductor layer 220 and the 2nd single crystal half conductor layer 230.

[0087] With this gestalt, in the lamination substrate 600 which carried out in this way and was manufactured, the field in which the 1st thin single crystal half conductor layer 220 is formed is used as image display field 10a, and the field in which the 2nd thick single crystal half conductor layer 230 is formed is used as a boundary region.

[0088] That is, as shown in drawing 10 (A), using a photolithography technique, patterning of the 1st single crystal half conductor layer 220 and the 2nd single crystal half conductor layer 230 is carried out, and semi-conductor layer 1a which constitutes TFT30 for pixel switching, and the semi-conductor layer 60 which constitutes TFT 80 and 90 for drive circuits are formed in island shape. Here, the semi-conductor layer 60 from which thickness is a single-crystal-silicon layer 100nm or less, and semi-conductor layer 1a which constitutes TFT30 for pixel switching constitutes TFT 80 and 90 for drive circuits is a single-crystal-silicon layer whose thickness is about 200-500nm.

[0089] Next, as shown in drawing 10 (B), thickness forms in the front face of the semi-conductor film 1a and 60 the gate dielectric film 2 which consists of silicon oxide which is 60nm using the oxidizing [thermally] method etc.

[0090] Next, as shown in drawing 10 (C), where the semi-conductor layer 60 for forming TFT90 for the drive circuits of an N channel mold is covered with the resist mask 401, to semi-conductor layer 1a which constitutes TFT30 for pixel switching, and the semi-conductor layer 60 which constitutes TFT90 for the drive circuits of a P channel mold, the impurity ion of N type, such as P⁺ ion, is introduced, and a channel dope is performed. 100KeV(s) and a dose are $2.3 \times 10^{11} \text{ cm}^{-2}$, and, as for the conditions at this time, acceleration voltage is set as the conditions which optimize the threshold voltage of the transistor 30 for pixel switching. Under the present circumstances, impurity ion is driven in by 1f of installation parts of semi-conductor film 1a, and the bottom electrode for constituting storage capacitance 70 between capacity line 3b is formed.

[0091] Next, as shown in drawing 10 (D), to the semi-conductor layer 60 which constitutes TFT90 for the drive circuits of an N channel mold where the semi-conductor layer 60 for forming TFT80 semi-

conductor layer 1a for forming TFT30 for pixel switching and for the drive circuits of a P channel mold is covered with the resist mask 402, the impurity ion of P type, such as B⁺ ion, is introduced, and a channel dope is performed.

[0092] With a CVD method etc., on the whole substrate front face Next, scanning-line 3a, capacity line 3b, And the polish recon simple substance of the N type for forming the gate electrode 65, or the polish recon and the tungsten of N type, After forming in the thickness of 300nm - 800nm the electric conduction film which consists of a cascade screen of the alloy film of a metal and silicon, such as molybdenum and titanium, as shown in drawing 11 (A), patterning is carried out using a photolithography technique and scanning-line 3a, capacity line 3b, and the gate electrode 65 are formed.

[0093] The semi-conductor layer 60 for forming TFT90 for the drive circuits of an N channel mold, as shown in drawing 11 (B) in next, the condition of having covered with the resist mask 301 As opposed to semi-conductor layer 1a which constitutes TFT30 for pixel switching, and the semi-conductor layer 60 which constitutes TFT80 for the drive circuits of a P channel mold The impurity ion of low concentration P type is driven in with the dose of about $0.1 \times 10^{13}/\text{cm}^2$ - about $10 \times 10^{13}/\text{cm}^2$ by using scanning-line 3a and the gate electrode 65 as a mask. The low concentration source fields 1b and 85 and the low concentration drain fields 1c and 83 are formed in self align to scanning-line 3a and the gate electrode 65. Here, since it is located just under scanning-line 3a or the gate electrode 65, the part into which impurity ion was not introduced is set to channel field 1a' with the semi-conductor film 1a and 60, and 81.

[0094] As shown in drawing 11 (C), the wrap resist mask 302 is formed for the semi-conductor layer 60 for width of face to form TFT90 for the drive circuits of an N channel mold widely from scanning-line 3a and the gate electrode 65. Next, in this condition The impurity ion of high concentration P type is driven in with the dose of about $0.1 \times 10^{15}/\text{cm}^2$ - about $10 \times 10^{15}/\text{cm}^2$, and the high concentration source fields 1b and 84 and the drain fields 1d and 82 are formed.

[0095] In addition, although illustration is omitted Where the TFT 30 and 80 side of a P channel mold is covered, the gate electrode 65 is used as a mask. As opposed to the semi-conductor layer 60 for forming TFT90 for the drive circuits of an N channel mold After driving in the impurity ion of low concentration N type with the dose of about $0.1 \times 10^{15}/\text{cm}^2$ - about $10 \times 10^{15}/\text{cm}^2$, where a mask with width of face wider than the gate electrode 65 is formed The impurity ion of high concentration N type is driven in to the semi-conductor layer 60 for forming TFT90 for the drive circuits of an N channel mold with the dose of about $0.1 \times 10^{15}/\text{cm}^2$ - about $10 \times 10^{15}/\text{cm}^2$. As shown in drawing 12 (A), while forming the low concentration source field 95, the low concentration drain field 93, and the channel field 81, the high concentration source field 94 and the high concentration drain field 92 are formed.

[0096] Next, with a CVD method etc., after forming the interlayer insulation film 4 which consists of silicon oxide etc., contact holes 5, 63, 64, 68, and 69 are formed in the front-face side of scanning-line 3a using a photolithography technique, respectively.

[0097] Next, the aluminum film for constituting data-line 6a (source electrode) etc. in the front-face side of an interlayer insulation film 4, as shown in drawing 12 (B), After forming in the thickness of 300nm - 800nm the electric conduction film which consists of alloy film which uses either the titanium film, the tungsten film, copper films or these metals as a principal component by a spatter etc., Patterning is carried out using a photolithography technique and data-line 6a, the high potential line 71, the low voltage line 72, the input wiring 66, and the output wiring 67 are formed. Consequently, in a circumference circuit field, TFT 80 and 90 of a P channel mold and an N channel mold is completed.

[0098] Next, with a CVD method etc., as shown in drawing 12 (C), after forming the interlayer insulation film 7 which consists of a silicon nitride or acrylic resin, a contact hole 8 is formed in a front-faces side, such as data-line 6a, at gate dielectric film 2 and interlayer insulation films 4 and 7 using a photolithography technique.

[0099] As shown in drawing 7, after forming pixel electrode 9a in a predetermined pattern, the orientation film 16 is formed in after an appropriate time. Consequently, the TFT array substrate 10 is completed.

[0100] Although here showed the example which constitutes a circumference circuit from a circuit of a

complementary type with an N type transistor and a P type transistor, when it constitutes a circumference circuit only from a P type transistor, it is the same process except [all] reducing the processes which form an N type transistor among the above-mentioned manufacture approaches.

[0101] [Application on electronic equipment], next an example of electronic equipment equipped with the liquid crystal equipment 100 which applied this invention are explained with reference to drawing 13 and drawing 14.

[0102] First, the block diagram has shown the configuration of the electronic equipment which equipped drawing 13 with the liquid crystal equipment 100 concerning the above-mentioned gestalt, and the liquid crystal equipment constituted similarly.

[0103] In drawing 13, electronic equipment is constituted including the source 1000 of a display information output, the display information processing circuit 1002, the drive circuit 1004, liquid crystal equipment 100, the clock generation circuit 1008, and a power circuit 1010. The source 1000 of a display information output is constituted including memory, such as ROM (Read Only Memory), RAM (Random Access Memory), and an optical disk, the tuning circuit which aligns and outputs the picture signal of a TV signal, processes the picture signal of a predetermined format based on the clock from the clock generation circuit 1008, and outputs it to the display information processing circuit 1002. This display information output circuit 1002 is constituted including various well-known processing circuits, such as for example, magnification and a polarity-reversals circuit, a phase expansion circuit, a rotation circuit, a gamma correction circuit, or a clamping circuit, carries out sequential generation of the digital signal from the display information inputted based on the clock signal, and outputs it to the drive circuit 1004 with a clock signal CLK. The drive circuit 1004 drives liquid crystal equipment 100. A power circuit 1010 supplies a predetermined power source to each above-mentioned circuit. in addition, the TFT array substrate top which constitutes liquid crystal equipment 100 -- the drive circuit 1004 -- you may form -- it -- in addition, the display information processing circuit 1002 may also be formed on a TFT array substrate.

[0104] The video tape recorder of the projection mold liquid crystal display (liquid crystal projector) later mentioned with reference to drawing 14 as electronic equipment of such a configuration, the personal computer corresponding to multimedia (PC) and an engineering workstation (EWS), a pager or a cellular phone, a word processor, television, a viewfinder mold, or a monitor direct viewing type, an electronic notebook, an electronic calculator, car navigation equipment, a POS terminal, a touch panel, etc. can be mentioned.

[0105] The projection mold display 1100 shown in drawing 14 prepares three liquid crystal modules containing the liquid crystal equipment 100 with which the aforementioned drive circuit 1004 was carried on the TFT array substrate, and is respectively used as liquid crystal modules 962R, 962G, and 962B for RGB. Light equipment 920 and the homogeneity illumination-light study system 923 are adopted as the optical system of this projection mold display 1100. And the color separation optical system 924 by which the projection mold display 1100 separates into red (R), green (G), and blue (B) the flux of light W by which outgoing radiation is carried out from this homogeneity illumination-light study system 923, It has the projector lens unit 906 as the light valves 925R, 925G, and 925B which modulate each colored light bundles R, G, and B, respectively, the color composition prism 910 which re-compounds the colored light bundle after becoming irregular, and a delivery system which carries out expansion projection of the compounded flux of light on the front face of a plane of incidence 100. Moreover, it also has the light guide system 927 which leads the blue glow bundle B to corresponding light valve 925B.

[0106] The homogeneity illumination-light study system 923 is equipped with two lens plates 921 and 922 and reflective mirrors 931, and is arranged at the condition that two lens plates 921 and 922 intersect perpendicularly on both sides of the reflective mirror 931. Two lens plates 921 and 922 of the homogeneity illumination-light study system 923 are equipped with two or more rectangle lenses arranged in the shape of a matrix, respectively. The flux of light by which outgoing radiation was carried out from light equipment 920 is divided into two or more partial flux of lights by the rectangle lens of the 1st lens plate 921. And these partial flux of lights are superimposed three light valves 925R and

925G and near 925B with the rectangle lens of the 2nd lens plate 922. Therefore, even when it has illuminance distribution with light equipment 920 uneven in the cross section of an outgoing beam by using the homogeneity illumination-light study system 923, it becomes possible to illuminate three light valves 925R, 925G, and 925B by the uniform illumination light.

[0107] Each color separation optical system 924 consists of a bluish green reflective dichroic mirror 941, a green reflective dichroic mirror 942, and a reflective mirror 943. First, in the bluish green reflective dichroic mirror 941, the blue glow bundle B included in the flux of light W and the green light bundle G are reflected by the right angle, and it goes to the green reflective dichroic mirror 942 side. On the other hand, the bluish green reflective dichroic mirror 941 is passed, it is reflected by the right angle by the back reflective mirror 943, and outgoing radiation of the red flux of light R is carried out to a color composition optical-system side from the outgoing radiation section 944 of the red flux of light R.

[0108] Next, the green light bundle G is reflected by the right angle in the green reflective dichroic mirror 942 among the blue glow bundle B reflected by the bluish green reflective dichroic mirror 941 and the green light bundle G, and outgoing radiation is carried out to a color composition optical-system side from the outgoing radiation section 945 of the green light bundle G. Moreover, outgoing radiation of the blue glow bundle B which passed the green reflective dichroic mirror 942 is carried out to the light guide system 927 side from the outgoing radiation section 946 of the blue glow bundle B. In this example, it is set up so that the distance from the outgoing radiation section of the flux of light W of a homogeneity illumination-light study component to the outgoing radiation sections 944, 945, and 946 of each colored light bundle in the color separation optical system 924 may become mutual almost equal.

[0109] Condenser lenses 951 and 952 are arranged at the outgoing radiation [of the outgoing radiation section 944 of the red flux of light R by the color separation optical system 924], and outgoing radiation side of the outgoing radiation section 945 of the green light bundle G, respectively. Therefore, incidence of the red flux of light R which carried out outgoing radiation from each outgoing radiation section, and the green light bundle G is carried out to these condenser lenses 951 and 952, respectively, and they are made parallel.

[0110] Thus, incidence of the red flux of light R made parallel and the green light bundle G is carried out to light valves 925R and 925G, they are modulated, and the image information corresponding to each colored light is added. That is, according to image information, switching control of these liquid crystal equipments is carried out by the driving means which is not illustrated, and, thereby, the modulation of each colored light which passes through this is performed.

[0111] On the other hand, the blue glow bundle B is led to light valve 925B which corresponds through the light guide system 927, and a modulation is similarly performed in here according to image information. In addition, the light valves 925R, 925G, and 925B of this example consist of the incidence side polarization means 960R, 960G, and 960B, outgoing radiation side polarization means 961R, 961G, and 961B, and liquid crystal modules 962R, 962G, and 962B arranged among these further, respectively.

[0112] By the way, the light guide system 927 consists of a middle lens 973 arranged between the condenser lens 954 arranged at the outgoing radiation side of the outgoing radiation section 946 of the blue glow bundle B, the incidence side reflective mirror 971, the outgoing radiation side reflective mirrors 972, and these reflective mirrors, and a condenser lens 953 arranged to the near side of light valve 925B. From the outgoing radiation section 946, through the light guide system 927, the blue glow bundle B by which outgoing radiation was carried out is led to liquid crystal module 962B, and is modulated. The blue glow bundle B becomes the longest, therefore the quantity of light loss of a blue glow bundle of distance from the optical path length of each colored light bundle, i.e., the outgoing radiation section of the flux of light W, to each liquid crystal modules 962R, 962G, and 962B increases most. However, quantity of light loss can be controlled by making the light guide system 927 intervene.

[0113] Incidence of each colored light bundles R, G, and B modulated through each light valves 925R, 925G, and 925B is carried out to the color composition prism 910, and they are compounded here. And expansion projection is carried out on the front face of the plane of incidence 1120 which has the light compounded by this color composition prism 910 in a position through the projector lens unit 906.

[0114] In this example, to the liquid crystal modules 962R, 962G, and 962B Since the protection-from-light layer is prepared in the TFT bottom, the liquid crystal module 962R concerned, The reflected light by the incident light study system in the liquid crystal projector based on the incident light from 962G and 962B, Even if a part of incident light which runs through an incident light study system carries out incidence from a TFT array substrate side as a return light after carrying out outgoing radiation from the reflected light from the front face of the TFT array substrate at the time of incident light passing, and other liquid crystal equipments Protection from light to the channel of TFT for switching of a pixel electrode can fully be performed.

[0115] For this reason, in a configuration, since it becomes unnecessary to arrange the film for return light prevention separately, or to perform return light prevention processing at a polarization means between each liquid crystal modules 962R, 962G, and 962B and the color composition prism 910 concerned even if it uses the color composition prism 910 suitable for a miniaturization, small and when being simplified, it is very advantageous.

[0116] Moreover, in this example, since the effect of the channel field on TFT by return light can be suppressed, it is not necessary to liquid crystal equipment to stick the polarization means 961R, 961G, and 961B which performed return light prevention processing. That is, the polarization means 961R, 961G, and 961B may be separated from the liquid crystal modules 962R, 962G, and 962B, and may be formed. For example, one polarization means 961R, 961G, and 961B are stuck on the color composition prism 910, and the polarization means 960R, 960G, and 960B of another side can be stuck on condenser lenses 951, 952, and 953. Thus, if a polarization means is stuck on the color composition prism 910 or condenser lenses 951, 952, and 953, since the heat of a polarization means will be absorbed by the color composition prism 910 or condenser lenses 951, 952, and 953, the temperature rise of liquid crystal equipment can be controlled and the malfunction can be prevented beforehand.

[0117] moreover -- although illustration is omitted -- the liquid crystal modules 962R, 962G, and 962B and a polarization means -- alienation -- an air space is made by forming between the liquid crystal modules 962R, 962G, and 962B and a polarization means. Therefore, if the temperature rise of the liquid crystal modules 962R, 962G, and 962B is controlled by establishing a cooling means here and sending in ventilation of cold blast etc. between the liquid crystal modules 962R, 962G, and 962B and a polarization means, it will become possible to prevent more certainly malfunction by the temperature rise of the liquid crystal modules 962R, 962G, and 962B.

[0118] In addition, although the electro-optic device was explained as liquid crystal equipment if it was in the explanation mentioned above, it cannot restrict to this and this invention can be applied also to electroluminescence and various electro-optic devices, such as a plasma display.

[0119]

[Effect of the Invention] As explained above, while having controlled optical leakage current by making thin the 1st semi-conductor layer which constitutes TFT for pixel switching from this invention in an image display field, the 2nd semi-conductor layer which constitutes TFT for circumference circuits is thickened, and withstand voltage is raised, and it enables it to have passed the high current. Thus, although the thickness of a semi-conductor layer is changed by the application of TFT, TFT for pixel switching and TFT for the 1st circumference circuit have the equal dose of the impurity ion by which the channel dope was carried out, and threshold voltage differs. That is, priority is given to optimizing the threshold voltage of the transistor for said pixel switching for the dose of impurity ion. By this invention, since the single crystal half conductor layer was used as a semi-conductor layer which constitutes TFT and transistor characteristics are high, even if the threshold voltage of TFT for circumference circuits has shifted from the optimum value, a circumference circuit can still be driven enough. so, since according to this invention it is alike since a channel dope can be finished at once and a production process can be shortened even when the thickness of a single crystal half conductor layer is changed in TFT for pixel switching of the same conductivity type, and TFT for circumference circuits, low cost-ization can be attained.

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant:

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.